

Semiconductor device with thin film transistors, e.g. liquid crystal display or other electro-optical display device; has thin film transistor formed on substrate with gate electrode on gate insulating film contacting semiconductor layer

Patent Assignee: SEMICONDUCTOR ENERGY LAB (SEME)

Inventor: YAMAZAKI S

Number of Countries: 026 Number of Patents: 002

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
EP 1005094	A2	20000531	EP 99123427	A	19991124	200034 B
JP 2000223716	A	20000811	JP 99334453	A	19991125	200044

Priority Applications (No Type Date): JP 98333623 A 19981125

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
EP 1005094	A2	E	60	H01L-029/786

Designated States (Regional): AL AT BE CH CY DE DK ES FI FR GB GR IE IT

LI LT LU LV MC MK NL PT RO SE SI

JP 2000223716 A 35 H01L-029/786

Abstract (Basic): EP 1005094 A2

NOVELTY - The device has at least one thin film transistor formed over a substrate (101), which a gate insulating film (103) contacting a semiconductor layer, with a gate electrode contacting the gate insulating film. **DETAILED DESCRIPTION** - The gate electrode has a first layer (113,116) contacting the gate insulating film, a second layer (114,117) formed on and inside the edge of the top face of the first layer, and a third layer (115,118) contacting the first two layers. The semiconductor layer has a channel forming region (104,109), a first impurity region (107,108) of one conductivity type and a second impurity region (105,106a,106b) of the same conductivity type formed between the channel forming region and the first impurity region. Part of the second impurity region lies under the first layer of the gate electrode. An **INDEPENDENT CLAIM** is included for a method for fabricating the device. **USE** - E.g. liquid crystal display or other electro-optical display device. **ADVANTAGE** - Suitable for liquid crystal display device of active matrix type in which a pixel matrix circuit and driver circuits require different drive voltages and different thin film transistor characteristics. **DESCRIPTION OF DRAWING(S)** - The figure shows a cross section of thin film transistors in the device. substrate (101) underlying film (102) gate insulating film (103) channel forming regions (104,109) second impurity regions (105,106a,106b) first impurity regions (107,108) third impurity of p-channel thin film transistor (111,112) first layers of gate electrodes (113,116) second layers of gate electrodes (114,117) third layers of gate electrodes (115,118) first interlayer insulating film (119) source wiring lines (120,121) drain wiring line (122) passivation film (123) second interlayer insulating film (124) pp: 60 DwgNo 1/32

Title Terms: SEMICONDUCTOR; DEVICE; THIN; FILM; TRANSISTOR; LIQUID; CRYSTAL; DISPLAY; ELECTRO; OPTICAL; DISPLAY; DEVICE; THIN; FILM; TRANSISTOR; FORMING; SUBSTRATE; GATE; ELECTRODE; GATE; INSULATE; FILM; CONTACT; SEMICONDUCTOR; LAYER

Derwent Class: P81; P85; U11; U12; U13; U14

International Patent Class (Main): H01L-029/786

International Patent Class (Additional): G02F-001/1365; G02F-001/1368; G09F-009.30; H01L-021/336; H01L-021/8238; H01L-021/84; H01L-027/08; H01L-027/092; H01L-027/12; H01L-029/43; H01L-029/49, File Segment: EPI; EngPI

DIALOG(R)File 347:JAPIO
(c) 2001 JPO & JAPIO. All rts. reserv.

06637902 **Image available**

SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

PUB. NO.: **2000-223716** [JP 2000223716 A]
PUBLISHED: August 11, 2000 (20000811)
INVENTOR(s): YAMAZAKI SHUNPEI
APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD
APPL. NO.: 11-334453 [JP 99334453]
FILED: November 25, 1999 (19991125)
PRIORITY: 10-333623 [JP 98333623], JP (Japan), November 25, 1998 (19981125)
INTL CLASS: H01L-029/786; H01L-021/336; G02F-001/1365; G09F-009/30;
 H01L-021/8238; H01L-027/092; H01L-027/08; H01L-029/43

ABSTRACT

PROBLEM TO BE SOLVED: To obtain the reliability the same as or higher than that of a MOS transistor and obtain a good characteristic both in an on-state region and an off-state region by overlapping a part of a second impurity region of one conductivity type with a first layer of a gate electrode.

SOLUTION: In an n-channel TFT of a CMOS circuit, a channel formation region 348, first impurity regions 360, 361, and second impurity regions 349a, 349b, 350a, 350b are formed. The second impurity regions 349a, 350a overlapping with a gate electrode are formed in the length of 1.5 μ m and the regions 349b, 350b not overlapping with the gate electrode are formed in the length of 1.5 μ m. The first impurity region 360 works as a source region and the first impurity region 361 works as a drain region. As a result, TFTs suitable for different driving voltages can be fabricated in one process on one and the same substrate.

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2000-223716
(P2000-223716A)

(43)公開日 平成12年8月11日(2000.8.11)

(51) Int.Cl. 7 譲別記号
 H 01 L 29/786
 21/336
 G 02 F 1/1365
 G 09 F 9/30 3 3 8
 H 01 L 21/8238

F 1			
H 0 1 L	29/78	6 1 6	A
G 0 9 F	9/30	3 3 8	
H 0 1 L	27/08	3 3 1	E
G 0 2 F	1/136	5 0 0	
H 0 1 L	27/08	3 2 1	D

テーマコード*(参考)

審査請求 未請求 請求項の数20 OL (全 35 頁) 最終頁に統ぐ

(21)出願番号 特願平11-334453

(22)出願日 平成11年11月25日(1999.11.25)

(31) 優先権主張番号 特願平10-333623

(32) 優先日 平成10年11月25日(1998.11.25)

(33) 優先權主張國 日本 (J P)

(71)出願人 000153878

株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地

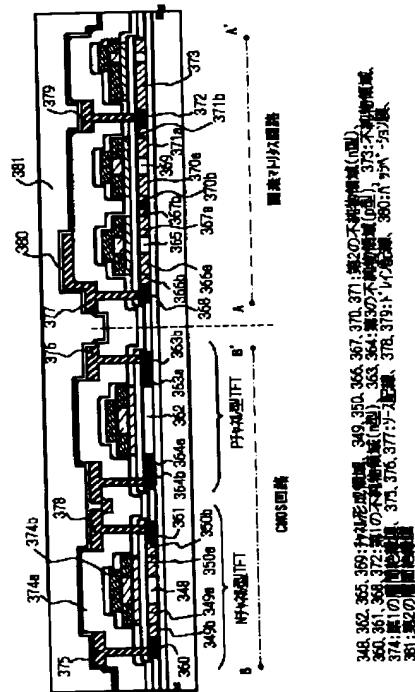
(72) 発明者 山崎 舜平
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(54) 【発明の名称】 半導体装置およびその作製方法

(57) 【要約】

【課題】 MOSトランジスタと同等かそれ以上の信頼性を達成すると同時にオン領域とオフ領域の両方で良好な特性が得られる結晶質TFTを実現することを目的とする。

【解決手段】 ゲート電極をゲート絶縁膜に接して形成されるゲート電極の第1層目と、前記ゲート電極の第1層目上であって該ゲート電極の第1層目の内側に形成されるゲート電極の第2層目と、前記ゲート電極の第1層目と前記ゲート電極の第2層目とに接して形成されるゲート電極の第3層目とで形成し、半導体層は、チャネル形成領域と、一導電型の第1の不純物領域と、前記チャネル形成領域と前記第1の不純物領域との間に形成された一導電型の第2の不純物領域とを有し、前記一導電型の第2の不純物領域の一部は前記ゲート電極の第1層目と重なっていることを特徴としている。



【特許請求の範囲】

【請求項1】基板上に、半導体層と、該半導体層上に形成されたゲート絶縁膜と、該ゲート絶縁膜上に形成されたゲート電極とを有するTFTが形成されている半導体装置において、前記ゲート電極は、前記ゲート絶縁膜に接して形成されるゲート電極の第1層目と、前記ゲート電極の第1層目上であって該ゲート電極の第1層目の内側に形成されるゲート電極の第2層目と、前記ゲート電極の第1層目と前記ゲート電極の第2層目とに接して形成されるゲート電極の第3層目とを有し、前記半導体層は、チャネル形成領域と、一導電型の第1の不純物領域と、前記チャネル形成領域と前記第1の不純物領域との間に形成された一導電型の第2の不純物領域とを有し、前記一導電型の第2の不純物領域の一部は、前記ゲート電極の第1層目と重なっていることを特徴とする半導体装置。

【請求項2】請求項1において、前記一導電型の第2の不純物領域における一導電型の不純物元素の濃度は、前記一導電型の第1の不純物領域における一導電型の不純物元素の濃度よりも低いことを特徴とする半導体装置。

【請求項3】請求項1または請求項2において、前記半導体層の一端に設けられた一導電型の不純物領域と、前記ゲート絶縁膜と、前記ゲート電極の第1層目乃至ゲート電極の第3層目から形成された配線とから保持容量を形成し、前記保持容量は前記TFTのソースまたはドレインに接続していることを特徴とする半導体装置。

【請求項4】画素TFTを有する半導体装置において、前記画素TFTのゲート電極は、ゲート絶縁膜に接して形成されるゲート電極の第1層目と、前記ゲート電極の第1層目上であって該ゲート電極の第1層目の内側に形成されるゲート電極の第2層目と、前記ゲート電極の第1層目と前記ゲート電極の第2層目とに接して形成されるゲート電極の第3層目とを有し、前記画素TFTの半導体層は、チャネル形成領域と、一導電型の第1の不純物領域と、前記チャネル形成領域と前記第1の不純物領域との間に形成された一導電型の第2の不純物領域とを有し、

前記一導電型の第2の不純物領域の一部は、前記ゲート電極の第1層目と重なっていることを特徴とする半導体装置。

【請求項5】nチャネル型TFTとpチャネル型TFT上で形成されたCMOS回路を有する半導体装置において、

前記pチャネル型TFTのゲート電極は、ゲート絶縁膜に接して形成されるゲート電極の第1層目と、前記ゲート電極の第1層目上であって該ゲート電極の第1層目の内側に形成されるゲート電極の第2層目と、前記ゲート電極の第1層目と前記ゲート電極の第2層目とに接して

形成されるゲート電極の第3層目とを有し、

前記nチャネル型TFTの半導体層は、チャネル形成領域と、一導電型の第1の不純物領域と、前記チャネル形成領域と前記第1の不純物領域との間に形成された一導電型の第2の不純物領域とを有し、

前記一導電型の第2の不純物領域の一部は前記ゲート電極の第1層目と重なっていて、

前記nチャネル型TFTの半導体層は、チャネル形成領域と、前記チャネル形成領域に接した第3の不純物領域とを有し、

前記第3の不純物領域は、チャネル形成領域に接し一導電型とは逆の導電型の不純物元素を含む領域と、一導電型の不純物元素と一導電型とは逆の導電型の不純物元素とを含む領域とを有することを特徴とする半導体装置。

【請求項6】画素TFTと、nチャネル型TFTとpチャネル型TFTとで形成されたCMOS回路と有する半導体装置において、

前記画素TFTとpチャネル型TFTのゲート電極は、ゲート絶縁膜に接して形成されるゲート電極の第1層目と、前記ゲート電極の第1層目上であって該ゲート電極の第1層目の内側に形成されるゲート電極の第2層目と、前記ゲート電極の第1層目と前記ゲート電極の第2層目とに接して形成されるゲート電極の第3層目とを有し、

前記画素TFTとnチャネル型TFTの半導体層は、チャネル形成領域と、一導電型の第1の不純物領域と、前記チャネル形成領域と前記第1の不純物領域との間に形成された一導電型の第2の不純物領域とを有し、

前記一導電型の第2の不純物領域の一部は、前記ゲート電極の第1層目と重なっていて、

前記pチャネル型TFTの半導体層は、チャネル形成領域と、前記チャネル形成領域に接した第3の不純物領域とを有し、

前記第3の不純物領域は、チャネル形成領域に接し一導電型とは逆の導電型の不純物元素を含む領域と、一導電型の不純物元素と一導電型とは逆の導電型の不純物元素とを含む領域とを有することを特徴とする半導体装置。

【請求項7】請求項4または請求項6において、前記半導体層の一端に設けられた一導電型の不純物領域と、前記ゲート絶縁膜と、前記ゲート電極の第1層目乃至ゲート電極の第3層目から形成された配線とから保持容量を形成し、前記保持容量は前記画素TFTのソースまたはドレインに接続していることを特徴とする半導体装置。

【請求項8】請求項1乃至請求項7のいずれか一項において、前記ゲート電極の第1層目と、前記ゲート電極の第3層目とは、シリコン(Si)、チタン(Ti)、タンタル(Ta)、タンクステン(W)、モリブデン(Mo)、から選ばれた一種または複数種の元素、あるいは前記元素を成分とする化合物であることを特徴とする半導体装置。

【請求項 9】請求項 1 乃至請求項 7 のいずれか一項において、前記ゲート電極の第2層目は、アルミニウム (Al)、銅 (Cu)、から選ばれた一種または複数種の元素、あるいは前記元素を主成分とする化合物であることを特徴とする半導体装置。

【請求項 10】請求項 1 乃至請求項 9 のいずれか一項において、前記半導体装置は、有機エレクトロルミネッセンス材料を用いた表示装置であることを特徴とする半導体装置。

【請求項 11】請求項 1 乃至請求項 10 のいずれか一項において、前記半導体装置は、パーソナルコンピュータ、ビデオカメラ、携帯型情報端末、デジタルカメラ、デジタルビデオディスクプレーヤー、ゴーグル型ディスプレイ、プロジェクターから選ばれたいずれか一つであることを特徴とする半導体装置。

【請求項 12】絶縁表面を有する基板上に、半導体層を形成する第1の工程と、前記半導体層に接して、ゲート絶縁膜を形成する第2の工程と、

前記ゲート絶縁膜上に、導電層 (A) と導電層 (B) を順次形成する第3の工程と、

前記導電層 (B) を所定のパターンにエッチングして、ゲート電極の第2層目を形成する第4の工程と、

一導電型の不純物元素を前記半導体層の選択された領域に添加する第5の工程と、

前記導電層 (A) と前記ゲート電極の第2層目とに接して、導電層 (C) を形成する第6の工程と、

前記導電層 (C) と導電層 (A) とを所定のパターンにエッチングして、ゲート電極の第3層目とゲート電極の第1層目とを形成する第7の工程と、

一導電型の不純物元素を前記半導体層の選択された領域に添加する第8の工程と、を有することを特徴とする半導体装置の作製方法。

【請求項 13】絶縁表面を有する基板上に、半導体層を形成する第1の工程と、

前記半導体層に接して、ゲート絶縁膜を形成する第2の工程と、

前記ゲート絶縁膜上に、導電層 (A) と導電層 (B) を順次形成する第3の工程と、

前記導電層 (B) を所定のパターンにエッチングして、ゲート電極の第2層目を形成する第4の工程と、

一導電型の不純物元素を前記半導体層の選択された領域に添加する第5の工程と、

前記導電層 (A) と前記ゲート電極の第2層目とに接して、導電層 (C) を形成する第6の工程と、

前記導電層 (C) と導電層 (A) とを所定のパターンにエッチングして、ゲート電極の第3層目とゲート電極の第1層目とを形成する第7の工程と、

一導電型の不純物元素を前記半導体層の選択された領域に添加する第8の工程と、

前記ゲート電極の第1層目と前記ゲート電極の第3層目との一部を除去する第9の工程と、を有することを特徴とする半導体装置の作製方法。

【請求項 14】絶縁表面を有する基板上に、第1の半導体層と第2の半導体層を形成する第1の工程と、

前記第1の半導体層と第2の半導体層上に、ゲート絶縁膜を形成する第2の工程と、

前記ゲート絶縁膜上に、導電層 (A) と導電層 (B) を順次形成する第3の工程と、

前記導電層 (B) を所定のパターンにエッチングして、ゲート電極の第2層目を形成する第4の工程と、

一導電型の不純物元素を前記第1の半導体層の選択された領域に添加する第5の工程と、

前記導電層 (A) と前記ゲート電極の第2層目とに接して、導電層 (C) を形成する第6の工程と、

前記導電層 (C) と導電層 (A) とを所定のパターンにエッチングして、ゲート電極の第3層目とゲート電極の第1層目とを形成する第7の工程と、

一導電型の不純物元素を前記第1の半導体層と第2の半導体層の選択された領域に添加する第8の工程と、

一導電型とは逆の導電型の不純物を前記第2の半導体層の選択された領域に添加する第9の工程と、を有することを特徴とする半導体装置の作製方法。

【請求項 15】絶縁表面を有する基板上に、第1の半導体層と第2の半導体層を形成する第1の工程と、

前記第1の半導体層と第2の半導体層上に、ゲート絶縁膜を形成する第2の工程と、

前記ゲート絶縁膜上に、導電層 (A) と導電層 (B) を順次形成する第3の工程と、

前記導電層 (B) を所定のパターンにエッチングして、ゲート電極の第2層目を形成する第4の工程と、

一導電型の不純物元素を前記第1の半導体層の選択された領域に添加する第5の工程と、

前記導電層 (A) と前記ゲート電極の第2層目とに接して、導電層 (C) を形成する第6の工程と、

前記導電層 (C) と導電層 (A) とを所定のパターンにエッチングして、ゲート電極の第3層目とゲート電極の第1層目とを形成する第7の工程と、

一導電型の不純物元素を前記第1の半導体層と第2の半導体層の選択された領域に添加する第8の工程と、

前記ゲート電極の第1層目と前記ゲート電極の第2層目との一部を除去する第9の工程と、

一導電型とは逆の導電型の不純物を前記第2の半導体層の選択された領域に添加する第10の工程と、を有することを特徴とする半導体装置の作製方法。

【請求項 16】絶縁表面を有する基板上に、第1の半導体層と第2の半導体層を形成する第1の工程と、

前記第1の半導体層と第2の半導体層上に、ゲート絶縁膜を形成する第2の工程と、

前記ゲート絶縁膜上に、導電層 (A) と導電層 (B) を

順次形成する第3の工程と、
前記導電層（B）を所定のパターンにエッティングして、
ゲート電極の第2層目を形成する第4の工程と、
一導電型の不純物元素を前記第1の半導体層の選択された領域に添加する第5の工程と、
一導電型とは逆の導電型の不純物を前記第2の半導体層の選択された領域に添加する第6の工程と、
前記導電層（A）と前記ゲート電極の第2層目に接して、導電層（C）を形成する第7の工程と、
前記導電層（C）と導電層（A）とを所定のパターンにエッティングして、ゲート電極の第3層目とゲート電極の第1層目とを形成する第8の工程と、
一導電型の不純物元素を前記第1の半導体層と第2の半導体層の選択された領域に添加する第9の工程と、を有することを特徴とする半導体装置の作製方法。

【請求項17】請求項12乃至請求項16のいずれか一項において、前記ゲート電極の第1層目と、前記ゲート電極の第3層目とは、シリコン（Si）、チタン（Ti）、タンタル（Ta）、タンゲステン（W）、モリブデン（Mo）、から選ばれた一種または複数種の元素、あるいは前記元素を成分とする化合物で形成することを特徴とする半導体装置の作製方法。

【請求項18】請求項12乃至請求項16のいずれか一項において、前記ゲート電極の第2層目は、アルミニウム（Al）、銅（Cu）、から選ばれた一種または複数種の元素、あるいは前記元素を主成分とする化合物で形成することを特徴とする半導体装置の作製方法。

【請求項19】請求項12乃至請求項18のいずれか一項において、前記半導体装置は、有機エレクトロルミネッセンス材料を用いた表示装置であることを特徴とする半導体装置の作製方法。

【請求項20】請求項12乃至請求項18のいずれか一項において、前記半導体装置は、パーソナルコンピュータ、ビデオカメラ、携帯型情報端末、デジタルカメラ、デジタルビデオディスクプレーヤー、ゴーグル型ディスプレイ、プロジェクターから選ばれたいずれか一つであることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は絶縁表面を有する基板上に薄膜トランジスタ（以下、TFTと記す）で構成された回路を有する半導体装置およびその作製方法に関する。例えば、液晶表示装置に代表される電気光学装置および電気光学装置を搭載した電子機器の構成に関する。なお、本願明細書において半導体装置とは、半導体特性を利用して機能する装置全般を指し、上記電気光学装置およびその電気光学装置を搭載した電子機器を範疇に含んでいる。

【0002】

【従来の技術】TFTをガラス基板または石英基板上に

設け、アクティブライタクス型液晶表示装置を作製する技術開発が積極的に推進されている。中でも結晶構造を有する半導体膜を活性層にしたTFT（以下、結晶質TFTと記す）は高移動度が得られるので、同一基板上に機能回路を集積させて高精細な画像表示を実現することが可能であるとされている。

【0003】ここで、本明細書において、前記結晶構造を有する半導体膜とは、単結晶半導体、多結晶半導体、微結晶半導体を含み、さらに、特開平7-130652号公報、特開平8-78329号公報、特開平10-135468号公報、特開平10-135469号公報、または特開平10-247735号公報で開示された半導体を含んでいる。

【0004】アクティブライタクス型液晶表示装置を構成するためには、画素マトリクス回路のnチャネル型TFT（以下、画素TFTと記す）だけでも100～200万個が必要となり、さらに周辺に設ける機能回路を付加するとそれ以上の結晶質TFTが必要である。液晶表示装置に要求される仕様は厳しく、画像表示を安定して行うためには、結局、個々の結晶質TFTの信頼性を確保することが第1に必要とされている。

【0005】TFTなどの電界効果トランジスタの特性は、ドレン電流とドレン電圧が比例して増加する線形領域と、ドレン電圧が増加してもドレン電流が飽和する飽和領域と、ドレン電圧を印加しても理想的には電流が流れない遮断領域とに分けて考えることができる。本明細書では、線形領域と飽和領域をTFTのオン領域と呼び、遮断領域をオフ領域と呼ぶ。また、便宜上、オン領域のドレン電流をオン電流と呼びオフ領域の電流をオフ電流と呼ぶ。

【0006】画素TFTは駆動条件として振幅1.5～2.0V程度のゲート電圧が印加される。従って、オン領域とオフ領域の両方の特性を満足する必要がある。一方、画素マトリクス回路を駆動するための周辺回路はCMOS回路を基本として構成され、主にオン領域の特性が重視される。

【0007】ところが、結晶質TFTは信頼性の面で依然LSIなどに用いられるMOSトランジスタ（単結晶半導体基板上に作製されるトランジスタ）に及ばないとされている。例えば、結晶質TFTを連続駆動させると、電界効果移動度やオン電流の低下やオフ電流の増加といった劣化現象が観測されることがある。この原因はホットキャリア注入現象であり、ドレン近傍の高電界によって発生したホットキャリアが劣化現象を引き起こすものである。

【0008】LSIの技術分野ではMOSトランジスタのオフ電流を下げ、かつ、ドレン近傍の高電界を緩和する方法として、低濃度ドレン（LDD Lightly Doped Drain）構造が知られている。この構造はチャネル形成領域の外側に低濃度の不純物領域を設けたものであ

り、この低濃度不純物領域をLDD領域と呼んでいる。【0009】結晶質TFTでもLDD構造を形成することは当然知られている。例えば、特開平7-202210号公報には、ゲート電極を互いに幅の異なる2層構造とし、上層の幅を下層の幅よりも小さく形成し、そのゲート電極をマスクとしてイオン注入を行うことにより、ゲート電極の厚さが異なることによるイオンの侵入深さの違いを利用して、一回のイオン注入でLDD領域を形成している。そして、LDD領域の直上にゲート電極が重なる構造としている。

【0010】このような構造は、GOLD (Gate-drain Overlapped LDD) 構造、LATID (Large-tilt-angle implanted drain) 構造、または、ITLDD (inverted LDD) 構造等として知られている。そして、ドレイン近傍の高電界を緩和してホットキャリア注入現象を防ぎ、信頼性を向上させることができる。例えば、Mutsuko Hatano, Hajime Akimoto and Takeshi Sakai, IEDM97 TECHNICAL DIGEST, p523-526, 1997」では、シリコンで形成したサイドウォールによるGOLD構造であるが、他の構造のTFTと比べ、きわめて優れた信頼性が得られることが確認されている。

【0011】しかしながら、同論文に公開された構造では通常のLDD構造に比べてオフ電流が大きくなってしまうという問題があり、そのための対策が必要である。特に、画素マトリクス回路を構成する画素TFTでは、オフ電流が増加すると、消費電力が増えたり画像表示に異常が現れたりするので、GOLD構造を結晶質TFTをそのまま適用することはできない。

【0012】

【発明が解決しようとする課題】本発明はこのような問題点を解決するための技術であり、MOSトランジスタと同等かそれ以上の信頼性を達成すると同時に、オン領域とオフ領域の両方で良好な特性が得られる結晶質TFTを実現することを目的とする。そして、そのような結晶質TFTで回路を形成した半導体回路を有する信頼性の高い半導体装置を実現することを目的とする。

【0013】

【課題を解決するための手段】図18は、これまでの知見を基にして、TFTの構造とそのとき得られる $V_g - I_d$ (ゲート電圧-ドレイン電流) 特性を模式的に示したものである。図18 (A-1) は、半導体層がチャネル形成領域と、ソース領域と、ドレイン領域とから成る最も単純なTFTの構造である。同図 (B-1) はこのTFTの特性であり、 $+V_g$ 側がTFTのオン領域、 $-V_g$ 側はオフ領域である。そして、実線は初期特性を示し、破線はホットキャリア注入現象による劣化の特性を示している。この構造ではオン電流とオフ電流が共に高く、また、劣化も大きいので、例えば、画素マトリクス回路の画素TFTなどにはこのままで使用できなかつた。

【0014】図18 (A-2) は、(A-1) にLDD領域となる低濃度不純物領域が設けられた構造であり、ゲート電極とオーバーラップしないLDD構造である。同図 (B-2) はこのTFTの特性であり、オフ電流をある程度抑えることができるが、オン電流の劣化を防ぐことはできなかった。また、図18 (A-3) は、LDD領域がゲート電極と完全にオーバーラップした構造で、(G) LDD構造とも呼ばれるものである。同図 (B-3) はこれに対応する特性で、劣化を問題ない程度にまで抑えることはできるが、 $-V_g$ 側で (A-2) の構造よりもオフ電流が増加している。

【0015】従って、図18 (A-1) 、(A-2) 、(A-3) に示す構造では、画素マトリクス回路に必要なオン領域の特性とオフ領域の特性を、信頼性の問題を含めて同時に満足させることはできなかった。しかし、図18 (A-4) に示すようにLDD領域をゲート電極とオーバーラップさせた部分と、オーバーラップさせない部分とを形成するような構造とすると、オン電流の劣化を十分に抑制し、かつ、オフ電流を低減することが可能となる。

【0016】図18 (A-4) の構造は以下の考察により導かれるものである。図18 (A-3) に示したような構造で、nチャネル型TFTのゲート電極に負の電圧が印加されたとき、即ちオフ領域において、ゲート電極とオーバーラップして形成されたLDD領域では、負電圧の増加と共にゲート絶縁膜との界面にホールが誘起されて、ドレイン領域、LDD領域、チャネル領域をつなぐ少数キャリアによる電流経路が形成される。このとき、ドレイン領域に正の電圧が印加されているとホールはソース領域側に流れると、これがオフ電流の増加原因と考えられた。

【0017】このような電流経路を途中で遮断するため、ゲート電圧が印加されても少数キャリアが蓄積されないLDD領域を設ければ良いと考えることができる。本発明はこのような構成を有するTFTと、このTFTを用いた回路に関するものである。

【0018】従って、本発明の構成は、基板上に、半導体層と、該半導体層上に形成されたゲート絶縁膜と、該ゲート絶縁膜上に形成されたゲート電極とを有するTFTが形成されている半導体装置において、前記ゲート電極は、前記ゲート絶縁膜に接して形成されるゲート電極の第1層目と、前記ゲート電極の第1層目上であって該ゲート電極の第1層目の内側に形成されるゲート電極の第2層目と、前記ゲート電極の第1層目と前記ゲート電極の第2層目とに接して形成されるゲート電極の第3層目とを有し、前記半導体層は、チャネル形成領域と、一導電型の第1の不純物領域と、前記チャネル形成領域と前記第1の不純物領域との間に形成された一導電型の第2の不純物領域とを有し、前記一導電型の第2の不純物領域の一部は、前記ゲート電極の第1層目と重なってい

ることを特徴としている。

【0019】また、他の発明の構成は、絶縁表面を有する基板上に、半導体層を形成する第1の工程と、前記半導体層に接して、ゲート絶縁膜を形成する第2の工程と、前記ゲート絶縁膜上に、導電層（A）と導電層

（B）を順次形成する第3の工程と、前記導電層（B）を所定のパターンにエッチングして、ゲート電極の第2層目を形成する第4の工程と、一導電型の不純物元素を前記半導体層の選択された領域に添加する第5の工程と、前記導電層（A）と前記ゲート電極の第2層目とに接して、導電層（C）を形成する第6の工程と、前記導電層（C）と導電層（A）とを所定のパターンにエッチングして、ゲート電極の第3層目とゲート電極の第1層目とを形成する第7の工程と、一導電型の不純物元素を前記半導体層の選択された領域に添加する第8の工程とを有することを特徴としている。

【0020】また、他の発明の構成は、絶縁表面を有する基板上に、半導体層を形成する第1の工程と、前記半導体層に接して、ゲート絶縁膜を形成する第2の工程と、前記ゲート絶縁膜上に、導電層（A）と導電層（B）を順次形成する第3の工程と、前記導電層（B）を所定のパターンにエッチングして、ゲート電極の第2層目を形成する第4の工程と、一導電型の不純物元素を前記半導体層の選択された領域に添加する第5の工程と、前記導電層（A）と前記ゲート電極の第2層目とに接して、導電層（C）を形成する第6の工程と、前記導電層（C）と導電層（A）とを所定のパターンにエッチングして、ゲート電極の第3層目とゲート電極の第1層目とを形成する第7の工程と、一導電型の不純物元素を前記半導体層の選択された領域に添加する第8の工程と、前記ゲート電極の第1層目と前記ゲート電極の第3層目との一部を除去する第9の工程とを有することを特徴としている。

【0021】また、他の発明の構成は、絶縁表面を有する基板上に、第1の半導体層と第2の半導体層を形成する第1の工程と、前記第1の半導体層と第2の半導体層上に、ゲート絶縁膜を形成する第2の工程と、前記ゲート絶縁膜上に、導電層（A）と導電層（B）を順次形成する第3の工程と、前記導電層（B）を所定のパターンにエッチングして、ゲート電極の第2層目を形成する第4の工程と、一導電型の不純物元素を前記第1の半導体層の選択された領域に添加する第5の工程と、前記導電層（A）と前記ゲート電極の第2層目とに接して、導電層（C）を形成する第6の工程と、前記導電層（C）と導電層（A）とを所定のパターンにエッチングして、ゲート電極の第3層目とゲート電極の第1層目とを形成する第7の工程と、一導電型の不純物元素を前記第1の半導体層と第2の半導体層の選択された領域に添加する第8の工程と、一導電型とは逆の導電型の不純物を前記第2の半導体層の選択された領域に添加する第9の工程と

を有することを特徴としている。

【0022】このようなTFTは、CMOS回路のnチャネル型TFTやpチャネル型TFTに好適に用いることができる。本発明のTFTの構成において、半導体層に形成する第1の不純物領域はn-アース領域またはドレイン領域として機能するものであり、第2の不純物領域はLDD領域として機能する。従って、一導電型の不純物元素の濃度は第2の不純物領域の方が第1の不純物領域よりも低い。

【0023】また、前記半導体層の一端に設けられた一導電型の不純物領域と、前記ゲート絶縁膜と、前記ゲート電極の第1層目乃至ゲート電極の第3層目から形成された配線とから保持容量を形成し、前記保持容量は前記TFTのソースまたはドレインに接続している構成をとることもできる。

【0024】さらに、前記ゲート電極の第1層目と、前記ゲート電極の第3層目とは、シリコン（Si）、チタン（Ti）、タンタル（Ta）、タンゲステン（W）、モリブデン（Mo）、から選ばれた一種または複数種の元素、あるいは前記元素を成分とする化合物であり、前記ゲート電極の第2層目は、アルミニウム（Al）、銅（Cu）、から選ばれた一種または複数種の元素、あるいは前記元素を主成分とする化合物であることを特徴としている。

【0025】

【発明の実施の形態】本発明の実施の形態を図1により説明する。絶縁表面を有する基板101は、ガラス基板、プラスチック基板、セラミックス基板などを用いることができる。また、酸化シリコン膜などの絶縁膜を表面に形成したシリコン基板やステンレス基板を用いても良い。また、石英基板を使用することも可能である。

【0026】そして、基板101のTFTが形成される側の面には、下地膜102が形成される。下地膜102はプラズマCVD法やスパッタ法で形成すれば良く、酸化シリコン膜や窒化シリコン膜、または酸化窒化シリコン膜で形成すると良い。下地膜102は基板101から不純物が半導体層へ拡散することを防ぐために設けるものである。例えば、窒化シリコン膜を25～100nm形成し、さらに酸化シリコン膜を50～200nm形成した2層構造としても良い。

【0027】下地膜102に接して形成する半導体層は、プラズマCVD法、減圧CVD法、スパッタ法などの成膜法で形成される非晶質半導体膜を、レーザーアニール法や熱アニール法による固相成長法で結晶化した、結晶質半導体を用いることが望ましい。また、前記成膜法で形成される微結晶半導体膜を適用することも可能である。ここで適用できる半導体材料は、シリコン、ゲルマニウム、またシリコンゲルマニウム合金、炭化シリコンがあり、その他にガリウム砒素などの化合物半導体材料を用いることもできる。

【0028】或いは、基板301上に形成する半導体層は、単結晶シリコン層を形成したSOI (Silicon On Insulators) 基板としても良い。SOI基板にはその構造や作製方法によっていくつかの種類が知られているが、代表的には、SIMOX Separation by Implanted Oxygen)、ELTRAN Epitaxial Layer Transfer (オキシゲン注入による半導体層形成) 基板、Smart-cut (SOIT : キヤノン社の登録商標) 基板、EC社の登録商標などを使用することができる。勿論、その他のSOI基板を使用することも可能である。

【0029】図1では、nチャネル型TFTとpチャネル型TFTの断面構造を示している。nチャネル型TFTとpチャネル型TFTのゲート電極は、ゲート電極の第1層目と、ゲート電極の第2層目と、ゲート電極の第3層目とから構成されている。ゲート電極の第1層目113、116はゲート絶縁膜103に接して形成されている。そして、ゲート電極の第1層目よりもチャネル長方向の長さが短く形成されたゲート電極の第2層目114、117が、ゲート電極の第1層目113、116に重ねて設けられる。さらにゲート電極の第3層目は115、118は、ゲート電極の第1層目113、116と、ゲート電極の第2層目114、117上に形成される。

【0030】ゲート電極の第1層目113、116は、シリコン(Si)、チタン(Ti)、タンタル(Ta)、タンゲステン(W)、モリブデン(Mo)から選ばれた材料か、これらの材料を成分とする材料で形成する。例えば、W-Mo化合物や、窒化タンタル(TaN)、窒化タンゲステン(WN)としても良い。ゲート電極の第1層目の厚さは10~100nm、好ましくは20~50nmとすれば良い。

【0031】ゲート電極の第2層目114、117は抵抗率の低い、アルミニウム(Al)や銅(Cu)を成分とする材料を用いることが望ましい。ゲート電極の第2層目の厚さは50~400nm、好ましくは100~200nmとすれば良い。ゲート電極の第2層目は、ゲート電極の電気抵抗を下げる目的で形成するものであり、ゲート電極に接続するゲート配線やバスラインの長さと抵抗値を考慮して、その両者の兼ね合いで決定すれば良い。

【0032】ゲート電極の第3層目115、118は、ゲート電極の第1層目と同様にシリコン(Si)、チタン(Ti)、タンタル(Ta)、タンゲステン(W)、モリブデン(Mo)から選ばれた材料か、これらの材料を成分とする材料で形成する。ゲート電極の第3層目の厚さは50~400nm、好ましくは100~200nmとすれば良い。

【0033】いずれにしても、ゲート電極の第1層目と、ゲート電極の第2層目と、ゲート電極の第3層目とは、スパッタ法で上記材料の被膜を形成すれば良く、ウエットエッチングとドライエッチングにより所定の形状

に形成する。ここで、ゲート電極の第3層目を、ゲート電極の第2層目を覆って形成させるためには、上記で示したようにゲート電極の第2層目の厚さを管理することはもとより、スパッタ条件を適切に設定する必要がある。例えば、形成する被膜の成膜速度を比較的遅くすることは有効な手段である。

【0034】図1のようなゲート電極の構造として、ゲート電極の第2層目を、ゲート電極の第1層目とゲート電極の第3層目で囲んだクラッド構造とすることで耐熱性を高めることができる。ゲート電極の材料としては、AlやCuなどの低効率の低い材料を用いることが望ましいが、450℃以上で加熱するとヒロックが発生したり、周辺の絶縁膜や半導体層に拡散してしまうといった問題点がある。しかし、このような現象はSi、Ti、Ta、W、Moなどの材料か、これらの材料を成分とする材料で囲んだクラッド構造とすることで防ぐことができる。

【0035】nチャネル型TFTの半導体層は、チャネル形成領域104と、第1の不純物領域107、108と、チャネル形成領域に接して形成される第2の不純物領域105、106a、106bとから成っている。第1の不純物領域と第2の不純物領域にはいずれもn型を付与する不純物元素が添加されている。このとき、前記不純物元素の濃度は、第1の不純物領域の濃度が1×10²⁰~1×10²¹atoms/cm³、好ましくは2×10²⁰~5×10²⁰atoms/cm³として、第2の不純物領域の濃度が1×10¹⁶~5×10¹⁹atoms/cm³、代表的には5×10¹⁷~5×10¹⁸atoms/cm³で添加されている。第1の不純物領域107、108はソース領域およびドレイン領域として機能する。

【0036】一方、pチャネル型TFTの第3の不純物領域111、112a、112bは、ソース領域またはドレイン領域として機能するものである。そして、第3の不純物領域112bにはp型を付与する不純物元素が第1の不純物領域と同じ濃度で含まれているが、その1.5~3倍の濃度でp型を付与する不純物元素が添加されている。

【0037】第2の不純物領域への不純物元素は、添加するn型を付与する不純物元素をゲート電極の第1層目113とゲート絶縁膜103を通過させて半導体層に添加する方法により行われるものである。

【0038】第2の不純物領域106a、106bは、図2(A)、(B)に示すようにゲート絶縁膜103を介してゲート電極と重なる第2の不純物領域106aとゲート電極と重ならない第2の不純物領域106bとに分けができる。すなわち、ゲート電極とオーバーラップするLDI領域と、オーバーラップしないLDI領域が形成される。この領域の作り分けは、一導電型の不純物元素を添加する第1の工程(第2の不純物領域の形成)と、一導電型の不純物元素を添加する第2の工程

(第1の不純物領域の形成)により行うものであり、このときフォトレジストをマスクとして利用すれば良い。

【0039】これは、同一基板上に駆動電圧の異なる回路を作製するときにきわめて便利な方法である。図2(B)には、液晶表示装置のロジック回路部、パッファ回路部、アナログスイッチ部、および画素マトリクス回路に使用するTFTの設計値の一例を示す。このとき、それぞれのTFTの駆動電圧を考慮して、チャネル長はもとより、ゲート電極と重なる第2の不純物領域106aとゲート電極と重ならない第2の不純物領域106bの長さを設定することが可能となる。

【0040】駆動回路のシフトレジスタ回路のTFTや、パッファ回路のTFTは基本的にオン領域の特性が重視されるので、いわゆるGOLD構造でも良く、ゲート電極と重ならない第2の不純物領域106bは必ずしも設ける必要はない。しかしあえて設ける場合は駆動電圧を考慮して0.5~3μmの範囲で設定すれば良い。いずれにしても、耐圧を考慮してゲート電極と重ならない第2の不純物領域106bの値は、駆動電圧が高くなるにしたがって大きくすることが望ましい。

【0041】また、アナログスイッチや、画素マトリクス回路に設けるTFTはオフ電流が増加しては困るので、例えば、駆動電圧1.6Vの場合、チャネル長3μmとしてゲート電極と重なる第2の不純物領域106aを1.5μmとし、ゲート電極と重ならない第2の不純物領域106bを1.5μmとする。勿論、本発明はここで示す設計値に限定されるものではなく、実施者が適宜決定すれば良い。

【0042】また、図17に示すように、本発明において、ゲート電極の第1層目1701と、ゲート電極の第2層目1702と、ゲート電極の第3層目1703とのチャネル長方向の長さは、作製するTFTの寸法と深い関わりがある。ゲート電極の第2層目1702のチャネル長方向の長さは、チャネル長L1にはほぼ相当するものである。このときL1は0.1~10μm、代表的には0.2~5μmの値とすれば良い。

【0043】また、第2の不純物領域1705の長さL6は前述のようにフォトレジストによるマスキングで任意に設定することが可能であるが、0.2~6μm、代表的には0.6~3μmで形成することが望ましい。

【0044】そして、第2の不純物領域1705がゲート電極と重なる長さL4は、ゲート電極の第1層目1701の長さL2と密接な関係にある。L4の長さは、0.1~4μm、代表的には0.5~3μmで形成することが望ましい。また、第2の不純物領域1705がゲート電極と重ならない長さL5は、前述のように必ずしも設ける必要がない場合もあるが、通常は0.1~3μm、代表的には0.3~2μmとするのが良い。ここでL4とL5の長さは、例えば、前述のようにTFTの駆動電圧を根拠にして決めるのが良い。

【0045】また、図1においてチャネル形成領域104には、あらかじめ1×10¹⁶~5×10¹⁸atoms/cm³の濃度でボロンが添加されても良い。このボロンはしきい値電圧を制御するために添加されるものであり、同様の効果が得られるものであれば他の元素で代用することもできる。

【0046】以上示したように本発明は、ゲート電極をゲート電極の第1層目113、116と、ゲート電極の第2層目114、117と、ゲート電極の第3層目115、118とで形成し、図1で示すようにゲート電極の第2層目114、117が、ゲート電極の第1層目113、116とゲート電極の第3層目115、118で囲まれたクラッド型の構造としてある。そして、少なくともnチャネル型TFTでは、ゲート絶縁膜103を介して半導体層に設けられた第2の不純物領域106の一部が、このようなゲート電極と重なっている構造に特徴がある。

【0047】nチャネル型TFTにおいて、第2の不純物領域はチャネル形成領域104を中心としてドレイン領域側(図1の第1の不純物領域108側)だけに設けても良い。また画素マトリクス回路の画素TFTのように、オン領域とオフ領域の両方の特性が要求される場合には、チャネル形成領域104を中心としてソース側(図1の第1の不純物領域107側)とドレイン領域側(図1の第1の不純物領域108側)の両方に設けることが望ましい。

【0048】一方、pチャネル型TFTにはチャネル形成領域109と第3の不純物領域111、112a、112bが形成された構造とする。勿論、本発明のnチャネル型TFTと同様の構造としても良いが、pチャネル型TFTはもともと信頼性が高いため、オン電流を稼いでnチャネル型TFTとの特性バランスをとった方が好ましい。本願発明を図1に示すようにCMOS回路に適用する場合には、特にこの特性のバランスをとることが重要である。但し、本発明の構造をpチャネル型TFTに適用しても何ら問題はない。

【0049】こうしてnチャネル型TFTおよびpチャネル型TFTが完成したら、第1の層間絶縁膜119で覆い、ソース配線120、121、ドレイン配線122を設ける。図1の構造では、これらを設けた後でパッケージング膜123として窒化シリコン膜を設けている。さらに樹脂材料でなる第2の層間絶縁膜124が設けられている。第2の層間絶縁膜は、樹脂材料に限定される必要はないが、例えば、液晶表示装置に応用する場合には、表面の平坦性を確保するために樹脂材料を用いることが好ましい。

【0050】図1では、nチャネル型TFTとpチャネル型TFTとを相補的組み合わせて成るCMOS回路を例にして示したが、nチャネル型TFTを用いたNMO₃回路や、液晶表示装置の画素マトリクス回路に本願発

明を適用することもできる。

【0051】以上に示した本願発明の構成について、以下に示す実施例でさらに詳細に説明する。

【0052】【実施例1】本実施例では、本願発明の構成を、画素マトリクス回路とその周辺に設けられる駆動回路の基本形態であるCMOS回路を同時に作製する方法について説明する。

【0053】図3(A)において、基板301には、コーニング社の1737ガラス基板に代表される無アルカリガラス基板を用いる。そして、基板301のTFTが形成される表面には、下地膜302をプラズマCVD法やスパッタ法で形成する。下地膜302は図示していないが、空化シリコン膜を25~100nm、代表的には50nmの厚さに、酸化シリコン膜を50~300nm、代表的には150nmの厚さに形成する。

【0054】その他に、プラズマCVD法でSiH₄、NH₃、N₂Oから作製される酸化空化シリコン膜を10~200nm(好ましくは50~100nm)、同様にSiH₄、N₂Oから作製される酸化空化シリコン膜を50~200nm(好ましくは100~150nm)の厚さに積層形成する。

【0055】次に、この下地膜302の上に50nmの厚さの、非晶質シリコン膜をプラズマCVD法で形成する。非晶質シリコン膜は含有水素量にもよるが、好ましくは400~550°Cで数時間加熱して脱水素処理を行い、含有水素量を5atomic%以下として、結晶化の工程を行うことが望ましい。また、非晶質シリコン膜をスパッタ法や蒸着法などの他の作製方法で形成しても良いが、膜中に含まれる酸素、窒素などの不純物元素を十分低減させておくことが望ましい。

【0056】ここで、下地膜と非晶質シリコン膜とはいざれもプラズマCVD法で作製することが可能であるので、下地膜と非晶質シリコン膜を真空中で連続して形成しても良い。下地膜を形成後、一旦大気雰囲気にさらさない工程にすることにより、表面の汚染を防ぐことが可能となり、作製するTFTの特性バラツキを低減させることができること。

【0057】非晶質シリコン膜を結晶化する工程は、公知のレーザーアニール法または熱アニール法の技術を用いれば良い。本実施例では、パルス発振型のKrFエキシマレーザー光を線状に集光して非晶質シリコン膜に照射して結晶質シリコン膜を形成する。

【0058】結晶化をレーザーアニール法にて行う場合には、パルス発振型または連続発光型のエキシマレーザーやアルコンレーザーをその光源とする。また、YAGレーザーを光源とし、その基本周波数、第2高調波、第3高調波、第4高調波を光源としても良い。パルス発振型のエキシマレーザーを用いる場合には、レーザー光を線状に加工してレーザーアニールを行う。レーザーアニール条件は実施者が適宜選択するものであるが、例えば、

レーザーパルス発振周波数30Hzとし、レーザーエネルギー密度を100~500mJ/cm²(代表的には300~1000mJ/cm²)とする。そして線状ビームを基板全面に渡って照射し、この時の線状ビームの重ね合わせ率(オーバーラッピング率)を80~98%として行う。

【0059】尚、本実施例では半導体層を非晶質シリコン膜から結晶質シリコン膜を形成したが、微結晶シリコン膜を用いても構わないし、直接結晶質シリコン膜を成膜しても良い。

【0060】こうして形成した結晶質シリコン膜をパターニングして、島状の半導体層303、304、305を形成する。

【0061】次に、島状の半導体層303、304、305を覆って、酸化シリコンまたは空化シリコンを主成分とするゲート絶縁膜306を形成する。ゲート絶縁膜306は、プラズマCVD法でN₂OとSiH₄を原料とした酸化空化シリコン膜を10~200nm、好ましくは50~150nmの厚さで形成すれば良い。ここでは100nmの厚さに形成する。

【0062】そして、ゲート絶縁膜306上にゲート電極の第1層目とゲート電極の第2層目とゲート電極の第3層目から成るゲート電極を形成する。まず、導電層(A)307と、導電層(B)308を形成する。導電層(A)307はTi、Ta、W、Moから選ばれた材料で形成すれば良いが、電気抵抗や耐熱性を考慮して前記材料を成分とする化合物を用いても良い。また、導電層(A)307の厚さは10~100nm、好ましくは20~50nmとする必要がある。ここでは、50nmの厚さでTi膜をスパッタ法で形成する。

【0063】ゲート絶縁膜306と導電層(A)307の厚さの管理は重要である。これは、後に実施される第1の不純物添加の工程において、n型を付与する不純物をゲート絶縁膜306と導電層(A)307を通過させて半導体層303、305に添加するためである。実際には、ゲート絶縁膜306と導電層(A)307の膜厚と、添加する不純物元素の濃度を考慮して、第1の不純物添加の工程条件を決定した。前記膜厚範囲であれば不純物元素を半導体層に添加できることは予め確認されたが、膜厚が設定された本来の値よりも10%以上変動すると、添加される不純物濃度が減少してしまう。

【0064】導電層(B)は、Al、Cuから選ばれた材料を用いることが好ましい。これはゲート電極の電気抵抗を下げるために設けられるものであり、50~100nm、好ましくは100~200nmの厚さに形成する。Alを用いる場合には、純Alを用いても良いし、Ti、Si、Scから選ばれた元素が0.1~5atomic%添加されたAl合金を用いても良い。また銅を用いる場合には、図示しないが、ゲート絶縁膜306の表面に空化シリコン膜を30~100nmの厚さで設けておくと好ましい。

【0065】ここでは、Scが0.5atomic%添加されたAl膜をスパッタ法で200nmの厚さに形成する(図3(A))。

【0066】次に公知のハターニング技術を使ってレジストマスクを形成し、導電層(B)308の一部を除去する工程を行う。ここでは、導電層(B)308はScがあり、5atomic%添加されたAl膜で形成されているので、リン酸溶液を用いたウエットエッチング法で行う。そして、図3(B)に示すように導電層(B)からゲート電極の第2層目309、310、311、312を形成する。それぞれのゲート電極の第2層目のチャネル長方向の長さは、CMOS回路を形成するゲート電極の第2層目309、310で3μmとし、また、画素マトリクス回路はマルチゲート構造となっていて、ゲート電極の第2層目311、312のそれぞれの長さを2μmとした。

【0067】この工程をドライエッチング法で行うことも可能であるが、導電層(A)307にダメージを与える、選択性良く導電層(B)308の不要な領域を除去するためにはウエットエッチング法が好ましい。

【0068】また、画素マトリクス回路を構成する画素TFTのドレイン側に保持容量を設ける構造となっている。このとき、導電層(B)と同じ材料で保持容量の容量配線313を形成する。

【0069】そして、pチャネル型TFTを形成する領域にレジストマスク314を形成して、1回目のn型を付与する不純物元素を添加する工程を行う。結晶質半導体材料に対してn型を付与する不純物元素としては、リン(P)、砒素(As)、アンチモン(Sb)などが知られているが、ここでは、リンを用い、フォスフィン(PH_3)を用いたイオンドープ法で行う。この工程では、ゲート絶縁膜306と導電層(A)307を通してその下の半導体層にリンを添加するために、加速電圧は80keVと高めに設定する。半導体層に添加するリンの濃度は $1 \times 10^{16} \sim 5 \times 10^{19} \text{ atoms/cm}^3$ の範囲にするのが好ましく、ここでは $1 \times 10^{18} \text{ atoms/cm}^3$ とする。そして、半導体層にリンが添加された領域315、316、317、318、319、320が形成される(図3(B))。

【0070】そして、レジストマスク314を除去した後、導電層(A)307とゲート電極の第2層目309、310、311、312と保持容量の配線313に密接させてゲート電極の第3層目となる導電層(C)321を形成する。導電層(C)321はTi、Ta、W、Moから選ばれた材料で形成すれば良いが、電気抵抗や耐熱性を考慮して前記材料を成分とする化合物を用いても良い。例えば、また、導電層(C)321の厚さは10~100nm、好ましくは20~50nmとする必要がある。ここでは、50nmの厚さでTa膜をスパッタ法で形成する(図3(C))。

【0071】次に公知のバターニング技術を使ってレジストマスクを形成し、導電層(C)321と導電層(A)307の一部を除去する工程を行う。ここでは、ドライエッチング法により行う。導電層(C)321はTaであり、ドライエッチングの条件として、 CF_4 を80sccm、 O_2 を20sccm導入して100mTorr、 500W の高周波電力を投入して行う。このときTaのエッチングレートは60nm/分である。また、導電層(A)307をエッチングする条件は、SiC₁₄を40sccm、C₁₂を55sccm、BC₁₃を180sccm導入して、80mTorr、1200Wの高周波電力を印加して行う。このとき、Tiのエッチングレートは34nm/分である。

【0072】エッチング後わずかに残さが確認されることがあるが、SPX洗浄液やEKCなどの溶液で洗浄することにより除去することができる。また、上記エッチング条件で、下地にあるゲート絶縁膜306のエッチングレートは $18 \sim 38 \text{ nm/分}$ であり、エッチング時間が長いとゲート絶縁膜のエッチングが進んでしまうため注意が必要である。

【0073】そして、ゲート電極の第1層目322、323、324、325とゲート電極の第3層目327、328、329、330とが形成される。ゲート電極の第1層目とゲート電極の第3層目とのチャネル長方向の長さは同じに形成され、ゲート電極の第1層目322、323とゲート電極の第3層目327、328は6μmの長さに形成する。また、ゲート電極の第1層目324、325とゲート電極の第3層目329、330は4μmの長さに形成する(図4(A))。

【0074】このようにして、ゲート電極の第1層目とゲート電極の第2層目とゲート電極の第3層目とから成るゲート電極が形成される。また、画素マトリクス回路を構成する画素TFTのドレイン側に保持容量を設ける構造となっている。このとき、導電層(A)と、導電層(C)とから保持容量の配線326、331が形成される。

【0075】そして、図4(B)に示すように、レジストマスク332、333、334、335、336を形成して、2回目のn型を付与する不純物元素を添加する工程を行う。これも、フォスフィン(PH_3)を用いたイオンドープ法で行う。この工程でもゲート絶縁膜306を通してその下の半導体層にリンを添加するために、加速電圧は80keVと高めに設定する。そして、リンが添加された領域337、338、339、340、341、342、343が形成される。この領域のリンの濃度は、1回目のn型を付与する不純物元素を添加する工程と比較して高濃度であり、 $1 \times 10^{19} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ とするのが好ましく、ここでは $1 \times 10^{20} \text{ atoms/cm}^3$ とする。

【0076】この工程において、レジストマスク33

2、333、334、335のチャネル長方向の長さは、それぞれのTFTの構造を決める上で重要である。特に、nチャネル型TFTにおいては、前述のゲート電極の第1層目と第3層目の長さと、このレジストマスクの長さにより、第2の不純物領域がゲート電極と重なる領域と、重ならない領域をある範囲で自由に決めることができ。本実施例では、ゲート電極の第1層目322と第3層目327の長さを6μmで、ゲート電極の第1層目324、325と第3層目329、330の長さを4μmで形成したので、レジストマスク322は9μmの長さで、レジストマスク334、335は7μmの長さで形成した。勿論、ここで記載したそれぞれの長さは一例であるので、前述のようにTFTの駆動電圧を考慮して決めるに良い。

【0077】次にnチャネル型TFTを形成する領域をレジストマスク344、345で覆って、pチャネル型TFTが形成される領域のみに、p型を付与する第3の不純物元素を添加する工程を行う。p型を付与する不純物元素としては、ボロン(B)、アルミニウム(A1)、ガリウム(Ga)、が知られているが、ここではボロンをその不純物元素として、ジボラン(B_2H_6)を用いてイオンドープ法で添加する。この場合も加速電圧を80keVとして、 $2 \times 10^{20} \text{ atoms/cm}^3$ の濃度にボロンを添加する。そして、図4(C)に示すようにボロンが高濃度に添加された第3の不純物領域346a、346b、347a、347bが形成される。第3の不純物域346b、347bには前の工程で添加されたリンが含まれているが、その2倍の濃度でボロンが添加されているので問題はない(図4(C))。

【0078】図4(C)までの工程が終了したら、図5で示すように、レジストマスク344、345を除去して、第1の層間絶縁膜374を形成する工程を行う。第1の層間絶縁膜374は2層構造で形成する。最初に窒化シリコン膜374aを50nmの成膜する。窒化シリコン膜はプラズマCVD法で形成し、SiH₄を5SCCM、NH₃を40SCCM、N₂を100SCCM導入して0.7Torr、300Wの高周波電力を投入する。そして、続いて酸化シリコン膜374bをTEOSを500SCCM、O₂を50SCCM導入し1Torr、200Wの高周波電力を投入して950nmの厚さに成膜する。このように窒化シリコン膜374aと酸化シリコン膜374bにより、合計1μmの第1の層間絶縁膜374を形成する。

【0079】ここで形成された窒化シリコン膜は次の熱処理工程を行うために必要なものである。本実施例では、前述のようなクラッド構造のゲート電極を形成する。この構造はA1で形成されるゲート電極の第2層目を、Tiで形成されるゲート電極の第1層目とTaで形成されるゲート電極の第3層目で囲むように形成している。TaはA1のヒロックや周辺のしみ出しを防ぐ効

果があるが、常圧において400℃以上で加熱するとすぐに酸化してしまう欠点を有している。その結果、電気抵抗が増加してしまうが、その表面を第1の層間絶縁膜の窒化シリコン膜374aで被覆しておくと、酸化を防止することができる。

【0080】熱処理の工程は、それぞれの濃度で添加されたn型またはp型を付与する不純物元素を活性化するために行う必要がある。この工程は、電気加熱炉を用いる熱アーニール法や、前述のエキシマレーザーを用いるレーザーアーニール法や、ハロゲンランプを用いるラビットサーマルアーニール法(RTA法)で行え。しかし、レーザーアーニール法は低い基板加熱温度で活性をすることできるが、ゲート電極の下にかかる領域まで活性化させることは困難である。従って、ここでは熱アーニール法で活性化の工程を行う。この時の条件は、窒素雰囲気において300～700℃、好ましくは350～550℃、ここでは450℃、2時間の処理を行う。

【0081】第1の層間絶縁膜374はその後、パターニングでそれぞれのTFTのソース領域と、ドレイン領域に達するコンタクトホールが形成する。そして、ソース配線375、376、377、とドレイン配線378、379を形成する。図示していないが、本実施例ではこの配線を、Ti膜を100nm、Tiを含むA1膜300nm、Ti膜150nmをスパッタ法で連続して形成する3層構造の配線として用いる。

【0082】そして、ソース配線375、376、377とドレイン配線378、379と、第1の層間絶縁膜374を覆ってハッシベーション膜380を形成する。ハッシベーション膜380は、窒化シリコン膜で50nmの厚さで形成する。さらに、有機樹脂からなる第2の層間絶縁膜381を約1000nmの厚さに形成する。有機樹脂膜としては、ポリイミド、アクリル、ポリイミドアミド等を使用することができる。有機樹脂膜を用いることの利点は、成膜方法が簡単である点や、比誘電率が低いので、寄生容量を低減できる点、平坦性に優れる点などが上げられる。なお上述した以外の有機樹脂膜を用いることもできる。ここでは、基板に塗布後、熱重合するタイプのポリイミドを用い、300℃で焼成して形成する。

【0083】以上までの工程で、クラッド構造のゲート電極が形成され、CMOS回路のnチャネル型TFTにはチャネル形成領域348、第1の不純物領域360、361、第2の不純物領域349a、349b、350a、350bが形成される。ここで、第2の不純物領域は、ゲート電極と重なる領域349a、350aが1.5μmの長さに、ゲート電極と重ならない領域(LDD領域)349b、350bが1.5μmの長さにそれぞれ形成される。そして、第1の不純物領域360はソース領域として、第1の不純物領域361はドレイン領域として機能する。

【0084】pチャネル型TFTは、同様にクラッド構造のゲート電極が形成され、チャネル形成領域362、第3の不純物領域363a、363b、364a、364bが形成される。第3の不純物領域363a、363bはソース領域として、第3の不純物領域364a、364bはドレイン領域となる。

【0085】また、画素マトリクス回路の画素TFTは、チャネル形成領域365、369と第1の不純物領域368、372と第2の不純物領域366、367、370、371が形成される。この第2の不純物領域は、ゲート電極と重なる領域366a、367a、370a、371aと重ならない領域366b、367b、370b、371bとに分けることができる。

【0086】こうして図5に示すように、基板301上にCMOS回路と、画素マトリクス回路が形成されたアクティブマトリクス基板が作製される。また、画素マトリクス回路の画素TFTのドレイン側には、保持容量が同時に形成される。

【0087】【実施例2】本実施例では、実施例1と同様に、画素マトリクス回路とその周辺に設けられる駆動回路の基本形態であるCMOS回路を同時に作製する他の実施形態について説明する。

【0088】まず、実施例1と同様に図3(A)から(C)までの工程と、図4(A)までの工程を行う。

【0089】そして、図6(A)はゲート電極の第1層目とゲート電極の第2層目とゲート電極の第3層目とからゲート電極が形成されている状態を示す。この状態の基板に対して、レジストマスク601、602、603、604、605を形成し、n型を付与する不純物元素を添加する工程を行う。そして、第1の不純物領域606、607、608、609、610、611、612が形成される(図6(B))。

【0090】ここで形成されるレジストマスク601、602は、いずれもLDD領域をTFTのドレイン領域側のみに形成する形状のものである。これは、第2の不純物領域をゲート絶縁膜上からマスクする領域がチャネル形成領域を中心として、片側のみに形成されるものである。

【0091】このようなレジストマスクの形成は、CMOS回路のpチャネル型TFTに対して特に有効である。LDD領域が片側のみに形成されるため、TFTの直列抵抗成分を実質的に下げることが可能となり、オン電流を増加させることができる。

【0092】これまで述べてきたGOLD構造にしても、LDD構造にしても、ドレイン領域近傍の高電界を緩和するために設けるためのものであり、TFTのドレイン側に形成されればその効果は十分得られる。

【0093】さらに、レジストマスク613、614を形成し、実施例1と同様にn型を付与する不純物元素を添加する工程を行い、第3の不純物領域615a、61

5b、616を形成する。第3の不純物領域615aは前の工程で添加したn型を付与する不純物元素が含まれている(図6(C))。

【0094】以降の工程は実施例1と同様に行えば良く、ソース配線375、376、377とドレイン配線378、379、パッシバーション膜380、有機樹脂からなる第2の層間絶縁膜381を形成して図7に示すアクティブマトリクス基板が完成する。そして、CMOS回路のpチャネル型TFTにはチャネル形成領域617、第1の不純物領域620、621、第2の不純物領域618、619が形成される。ここで、第2の不純物領域は、ゲート電極と重なる領域(GOLD領域)619aと、ゲート電極と重ならない領域(LDD領域)619bがそれぞれ形成される。そして、第1の不純物領域620はソース領域として、第2の不純物領域621はドレイン領域となる。

【0095】pチャネル型TFTは、チャネル形成領域622、第3の不純物領域624a、624b、623が形成される。第3の不純物領域623はソース領域として、第3の不純物領域624a、624bはドレイン領域となる。画素マトリクス回路の画素TFTは、チャネル形成領域625、629と第1の不純物領域628、632と第2の不純物領域626、627、630、631が形成される。この第2の不純物領域は、ゲート電極と重なる領域626a、627a、630a、631aと重ならない領域626b、627b、630b、631bとに分けることができる。

【0096】【実施例3】本実施例では、実施例1と同様に、画素マトリクス回路とその周辺に設けられる駆動回路の基本形態であるCMOS回路を同時に作製する他の実施形態について説明する。

【0097】まず、実施例1と同様に図3(A)から(C)までの工程を行う。

【0098】そして、図8(A)では、公知のパターニング技術を使ってレジストマスク801、802、803、804、805を形成し、導電層(C)321と導電層(A)307の一部を除去する工程を行う。ここでは、実施例1と同様にドライエッチング法により行う。そして、ゲート電極の第1層目851、852、853、854、855とゲート電極の第3層目856、857、858、859、860とを形成する。ゲート電極の第1層目とゲート電極の第3層目とのチャネル長方向の長さは同じに形成され、CMOS回路のゲート電極の第1層目851、852とゲート電極の第3層目856、857、858は最終的な形状よりも長く9μmの長さに形成する。また、画素マトリクス回路のゲート電極の第1層目853、854とゲート電極の第3層目858、859は同様に7μmの長さに形成する。

【0099】また、画素マトリクス回路の画素TFTのドレイン側に保持容量を設ける構造となっている。この

とき、導電層（A）と、導電層（C）とから保持容量の配線855、860を形成する。

【0100】そして、実施例1と同様に2回目のn型を付与する不純物元素を添加する工程を行う。この工程では、ゲート電極が接していないゲート絶縁膜の領域を通って半導体層にリンが添加して、高濃度にリンが添加される領域806、807、808、811、812を形成する。この工程の終了後、レジストマスク801、802、803、804、805は除去する（図8（A））。

【0101】次に、再度フォトレジスト膜を形成し、裏面からの露光によるパターニングの工程を行う。このとき、図8（B）に示すようにゲート電極がマスクとなって、自己整合的にレジストマスク813、814、815、816、817が形成される。裏面からの露光は直接光と散乱光を利用して行うもので、光強度や露光時間などの露光条件の調節により、図8（B）に示すようにレジストマスクをゲート電極上の内側に形成することができる。

【0102】レジストマスク813、814、815、816、817を使用して、ゲート電極の第3層目とゲート電極の第1層目のマスクされていない領域をドライエッティング法により除去する。ドライエッティングの条件は実施例1と同様に行う。エッティングが終了した後レジストマスク813、814、815、816、817は除去する。

【0103】そして、図8（C）に示すように、ゲート電極の第1層目818、819、820、821と、ゲート電極の第3層目823、824、825、826及び保持容量の配線822、827が形成される。エッティングにより、CMOS回路のゲート電極の第1層目851、852とゲート電極の第3層目856、857は6μmの長さになる。また、画素マトリクス回路のゲート電極の第1層目853、854とゲート電極の第3層目858、859は同様に4μmの長さに形成される。

【0104】さらに、nチャネル型TFTが形成される領域にレジストマスク828、829を形成してp型を付与する第3の不純物元素を添加する工程を行う（図8（C））。

【0105】以降の工程は実施例1と同様に行えば良く、図5に示すアクティブマトリクス基板が作製することができる。

【0106】【実施例4】本実施例では、実施例1と同様に、画素マトリクス回路とその周辺に設る駆動回路の基本形態であるCMOS回路を同時に作製する他の実施形態について説明する。

【0107】まず、実施例1と同様に図3（A）から（C）までの工程を行う。そして、図9（A）で示すようにゲート電極の形成を行う。

【0108】次に、公知のパターニング技術を使ってレ

ジストマスクを形成し、導電層（C）321と導電層（A）307との一部を除去する工程を行う。ここでは、ドライエッティング法により行う。導電層（C）321はTaであり、ドライエッティングの条件として、CF₄を80SCCM、O₂を20SCCM導入して100mTorr、て500Wの高周波電力を投入して行う。このときTa膜のエッティングレートは60nm/分である。また、導電層（A）307をエッティングする条件は、SiC14を40SCCM、Cl₂を5SCCM、BCl₃を180SCCM導入して、80mTorr、1200Wの高周波電力を印加して行う。このとき、Ti膜のエッティングレートは34nm/分である。

【0109】そして、ゲート電極の第1層目322、323、324、325とゲート電極の第3層目327、328、329、330とを形成する。ゲート電極の第1層目とゲート電極の第3層目とのチャネル長方向の長さは同じに形成され、ゲート電極の第1層目322、323とゲート電極の第3層目327、328は、ここでは6μmの長さに形成する。また、ゲート電極の第1層目324、325とゲート電極の第3層目329、330は、4μmの長さに形成する。

【0110】上記エッティング条件では、酸化窒化シリコン膜で形成されたゲート絶縁膜306もエッティングされる。そのエッティングレートはTa膜のエッティング条件で18nm/分である。通常はゲート絶縁膜がエッティングされないように注意深く行われるものであるが、この現象を積極的に利用して、ゲート電極に接していないゲート絶縁膜の領域を薄くすることができる。これは、ゲート電極をエッティングする工程で、エッティング時間をそのまま増加させればすぐに実施することができる。

【0111】しかし、ゲート絶縁膜をエッティングするためには、やはり使用するガスを選ぶ必要があり、塩素系のガスよりはCF₄やNF₃などのフッ素系のガスの方が良い結果が得られる。

【0112】ここでは、Ta膜をエッティングするときに使用したCF₄とO₂の混合ガスにより行う。CF₄を80SCCM、O₂を20SCCM導入して100mTorr、て500Wの高周波電力を投入して行う。そして、100nmの厚さで形成されていたゲート絶縁膜306に対して、約2分半のエッティングにより図9（A）に示すようにゲート電極と接していないゲート絶縁膜の領域を50nmの厚さにまで薄くすることができる。

【0113】そして実施例1と同様に、レジストマスク332、333、334、335、336を形成して2回目のn型を付与する不純物元素を添加する工程を行う。このとき、n型を付与する不純物元素を添加する領域337、338、339、340、341、342、343はゲート絶縁膜の厚さが50nmとなっているので、半導体層に効率よく不純物元素を添加することができる。

【0114】ゲート絶縁膜が薄くなつたことで、イオンドープ法における加速電圧を80keVから40keVまで下げることが可能となり、ゲート絶縁膜や半導体層へのダメージを減らすことができる(図9(B))。

【0115】次に図9(C)に示すようにレジストマスク344、345を形成し、p型を付与する不純物元素を添加する工程も同様に実施するものであり、p型を付与する不純物が添加される領域346a、346b、347a、347bに接するゲート絶縁膜は厚さが50nmとなっているので、イオンドープ法における加速電圧を80keVから40keVまで下げることが可能となり、半導体層に効率よく不純物元素を添加することができる。

【0116】その他の工程は実施例1に従えば良く、ソース配線375、376、377とドレイン配線378、379、パッシバーション膜380、有機樹脂からなる第2の層間絶縁膜381を形成して図10に示すアクティブマトリクス基板が完成する。CMOS回路のnチャネル型TFTにはチャネル形成領域348、第1の不純物領域360、361、第2の不純物領域349、350が形成される。ここで、第2の不純物領域は、ゲート電極と重なる領域349a、350a、ゲート電極と重ならない領域(LDD領域)349b、350bが形成される。そして、第1の不純物領域360はソース領域として、第1の不純物領域361はドレイン領域として機能する。pチャネル型TFTは、同様にクラッド構造のゲート電極が形成され、チャネル形成領域362、第3の不純物領域363a、363b、364a、364bが形成される。第3の不純物領域363a、363bはソース領域として、第3の不純物領域364a、364bはドレイン領域となる。また、画素マトリクス回路の画素TFTは、チャネル形成領域365、369と第1の不純物領域368、372と第2の不純物領域366a、366b、367a、367b、370a、370b、371a、371bが形成される。この第2の不純物領域は、ゲート電極と重なる領域366b、367b、370b、371bとに分けることができる。

【0117】[実施例5] 本実施例では、本願発明の構成を、画素マトリクス回路とその周辺に設けられる駆動回路の基本形態であるCMOS回路を同時に作製する方法について説明する。

【0118】図11(A)において、基板1101には、例えばコーニング社の1737ガラス基板に代表される無アルカリガラス基板を用いる。そして、基板1101のTFTが形成される表面に、下地膜1102をプラズマCVD法やスパッタ法で形成する。下地膜1102は図示していないが、窒化シリコン膜を25~100nm、代表的には50nmの厚さに、酸化シリコン膜を

50~300nm、代表的には150nmの厚さに形成する。また、下地膜1102は、窒化シリコン膜や酸化窒化シリコン膜のみを用いても良い。

【0119】次に、この下地膜1102の上に50nmの厚さの、非晶質シリコン膜をプラズマCVD法で形成する。非晶質シリコン膜は含有水素量にもよるが、好ましくは400~550°Cで数時間加熱して脱水素処理を行い、含有水素量を5atomic%以下として、結晶化の工程を行うことが望ましい。また、非晶質シリコン膜をスパッタ法や蒸着法などの他の作製方法で形成しても良いが、膜中に含まれる酸素、窒素などの不純物元素を十分低減させておくことが望ましい。

【0120】ここで、下地膜と非晶質シリコン膜とはいずれもプラズマCVD法で作製されるものであり、このとき下地膜と非晶質シリコン膜を真空中で連続して形成しても良い。下地膜を形成後、一旦大気開放気にさらされない工程にすることにより、表面の汚染を防ぐことが可能となり、作製されるTFTの特性バラツキを低減させることができる。

【0121】ここで、半導体層として用いる結晶質シリコン膜を、触媒元素を用いた熱結晶化法により形成する。触媒元素を用いる場合、特開平7-130652号公報、特開平8-78329号公報で開示された技術を用いることが望ましい。

【0122】ここで、特開平7-130652号公報に開示されている技術を本願発明に適用する場合の例を図19(A)、(B)で説明する。基板1901上に酸化シリコン膜1902が形成され、その上に非晶質シリコン膜1903を形成する。非晶質シリコン膜1903の表面に重量換算で10ppmのニッケルを含む酢酸ニッケル塩溶液を塗布してニッケル含有層1904を形成する(図19(A))。

【0123】次に、500°C、1時間の脱水素工程の後、500~650°Cで1~2時間、例えば550°Cで8時間の熱処理を行い、結晶質シリコン膜1905を形成する(図19(B))。

【0124】また、特開平8-78329号公報で開示された技術は、触媒元素を選択的に添加することによって、非晶質シリコン膜の選択的な結晶化を可能とするものである。同技術を本願発明に適用する場合について、図20(A)、(B)で説明する。

【0125】まず、ガラス基板2001上に酸化シリコン膜2002、非晶質シリコン膜2003を形成し、さらに酸化シリコン膜2004を連続的に形成する。この時、酸化シリコン膜2004の厚さは150nmとする。

【0126】次に酸化シリコン膜2004をバーナーニグして、選択的に開孔部2005を形成し、その後、重量換算で10ppmのニッケルを含む酢酸ニッケル塩溶液を塗布する。これにより、ニッケル含有層2006が

形成され、ニッケル含有層2006は開孔部2005の底部のみで非晶質シリコン膜2003と接触する(図20(A))。

【0127】次に、500～650°Cで4～24時間、例えば570°C、1.4時間の熱処理を行い、結晶質シリコン膜2007を形成する。この結晶化の過程では、ニッケルが接した非晶質シリコン膜の部分が最初に結晶化し、そこから横方向へと結晶化が進行する。こうして形成された結晶質シリコン膜2007は棒状または針状の結晶が集合して成り、その各々の結晶は巨視的に見ればある特定の方向性をもって成長しているため、結晶性が揃っているという利点がある(図20(B))。

【0128】尚、上記2つの技術において使用可能な触媒元素は、ニッケル(Ni)の以外にも鉄(Fe)、パラジウム(Pd)、スズ(Sn)、鉛(Pb)、コバルト(Co)、白金(Pt)、銅(Cu)、金(Au)といった元素を用いても良い。

【0129】以上のような技術を用いて結晶質シリコン膜を形成し、バターニングを行えば、図11に示す半導体層1103、1104、1105を形成することができる。

【0130】また、触媒元素を用いて結晶質シリコン膜を形成し、その触媒元素を結晶質シリコン膜から除去するゲッタリング工程を行った例を示す。

【0131】これは、非晶質シリコン膜の結晶化に用いた触媒元素を結晶化後にリンのゲッタリング作用を用いて除去する技術である。同技術を用いることで、結晶質シリコン膜中の触媒元素の濃度を $1 \times 10^{17} \text{ atoms/cm}^3$ 以下、好ましくは $1 \times 10^{16} \text{ atoms/cm}^3$ にまで低減することができる。

【0132】図21(A)では、下地膜2102、結晶質シリコン膜2103が形成された状態を示している。そして、結晶質シリコン膜2103の表面にマスク用の酸化シリコン膜2104が150nmの厚さに形成され、バターニングにより開孔部が設けられ、結晶質シリコン膜を露出させた領域を設けてある。そして、リンを添加する工程を実施して、結晶質シリコン膜にリンが添加された領域2105を設ける。

【0133】この状態で、窒素雰囲気中で550～800°C、5～24時間、例えば600°C、12時間の熱処理を行うと、結晶質シリコン膜にリンが添加されている領域2105がゲッタリングサイトとして働き、結晶質シリコン膜2103に残存していた触媒元素はリンが添加されている領域2105に偏析させることができる。

【0134】そして、マスク用の酸化シリコン膜2104と、リンが添加されている領域2105とをエッチングして除去することにより、結晶化の工程で使用した触媒元素の濃度を $1 \times 10^{17} \text{ atoms/cm}^3$ 以下にまで低減した結晶質シリコン膜を得ることができる。この結晶質シリコン膜は図11(A)の半導体層1103、110

4、1105として使用することができる。

【0135】次に、島状の半導体層1103、1104、1105を覆って、酸化シリコンまたは窒化シリコンを主成分とするゲート絶縁膜1106を形成する。ゲート絶縁膜1106は、プラズマCVD法で N_2O と SiH_4 を原料とした窒化酸化シリコン膜を10～200nm、好ましくは50～150nmの厚さで形成すれば良い。ここでは100nmの厚さに形成する。

【0136】そして、ゲート絶縁膜1106の表面にゲート電極の第1層目とする導電層(A)1107と、ゲート電極の第2層目とする導電層(B)1108とを形成する。導電層(A)1107はTi、Ta、W、Moから選ばれた材料で形成すれば良いが、電気抵抗や耐熱性を考慮して前記材料を成分とする化合物を用いても良い。また、導電層(A)1107の厚さは10～100nm、好ましくは20～50nmとする必要がある。ここでは、50nmの厚さでTi膜をスパッタ法で形成する。

【0137】ゲート電極の第2層目となる導電層(B)1108は、Al、Cuから選ばれた材料を用いることが好ましい。これはゲート電極の電気抵抗を下げるために設けられるものであり、50～400nm、好ましくは100～200nmの厚さに形成する。Alを用いる場合には、純Alを用いても良いし、Ti、Si、Scから選ばれた元素が0.1～5atomic%添加されたAl合金を用いても良い。また銅を用いる場合には、図示しないが、ゲート絶縁膜1106の表面に窒化シリコン膜を30～100nmの厚さで設けておくと好ましい。

【0138】ここでは、Scが0.5atomic%添加されたAl膜をスパッタ法で200nmの厚さに形成する(図11(A))。

【0139】次に公知のバターニング技術を使ってレジストマスクを形成し、導電層(B)1108の一部を除去する工程を行う。ここでは、導電層(B)1108はScが0.5atomic%添加されたAl膜で形成されているが、リン酸溶液を用いたウエットエッティング法で行うことができる。そして、図11(B)に示すようにゲート電極の第2層目1109、1110、1111、1112を形成する。それぞれのゲート電極の第2層目のチャネル長方向の長さは、CMOS回路を形成するゲート電極の第2層目1109、1110で3μmとし、また、画素マトリクス回路はマルチゲートの構造となっていて、ゲート電極の第2層目1111、1112のそれぞれの長さを2μmとする。

【0140】また、画素マトリクス回路を構成する画素TFTのドレイン側に保持容量を設ける構造となっている。このとき、導電層(B)と同じ材料で保持容量の配線1113が形成される。

【0141】そして、n型を付与する第1の不純物元素を添加する工程を行う。ここでは、リンを用い、フオス

フィン (PH₃) を用いたイオンドープ法で行う。この工程では、ゲート絶縁膜 1106 と導電層 (A) 1107 を通してその下の半導体層 1103、1104、1105 にリンを添加するために、加速電圧は 80 keV と高めに設定する。半導体層に添加されるリンの濃度は、 $1 \times 10^{16} \sim 5 \times 10^{19} \text{ atoms/cm}^3$ の範囲にするのが好ましく、ここでは $1 \times 10^{18} \text{ atoms/cm}^3$ とする。そして、半導体層にリンが添加された領域 1114、1115、1116、1117、1118、1119、1120、1121 が形成される(図 11 (B))。

【0142】次に n チャネル型 TFT を形成する領域をレジストマスク 1122、1123 で覆って、p チャネル型 TFT が形成される領域のみに、p 型を付与する第 3 の不純物元素を添加する工程を行う。ここではボロンをその不純物元素として、ジボラン (B₂H₆) を用いてイオンドープ法で添加する。ここでも加速電圧を 80 keV として、 $2 \times 10^{20} \text{ atoms/cm}^3$ の濃度にボロンを添加する。そして、図 11 (C) に示すようにボロンが高濃度に添加された第 3 の不純物領域 1124、1125 が形成される。

【0143】そして、レジストマスク 1122、1123 を除去した後、導電層 (A) 1107 とゲート電極の第 2 層目 1109、1110、1111、1112 と保持容量の配線 1113 に密接させてゲート電極の第 3 層目となる導電層 (C) 1126 を形成する。導電層

(C) 1126 は Ti、Ta、W、Mo から選ばれた材料で形成すれば良いが、電気抵抗や耐熱性を考慮して前記材料を成分とする化合物を用いても良い。例えば、また、導電層 (C) 1126 の厚さは 10 ~ 100 nm、好ましくは 20 ~ 50 nm とする必要がある。ここでは、50 nm の厚さで Mo-W 膜をスパッタ法で形成する。(図 12 (A))

【0144】次に公知のバターニング技術を使ってレジストマスクを形成し、導電層 (C) 1126 と導電層 (A) 1107 の一部を除去する工程を行う。ここでは、ドライエッティング法により行う。導電層 (C) 1126 は Mo-W 膜であり、ドライエッティングの条件として、C₁₂ を 80 SCCM 導入して 10 mTorr、で 350 W の高周波電力を投入して行う。このとき Mo-W 膜のエッティングレートは 50 nm/分である。また、導電層 (A) 1107 をエッティングする条件は、SiC₁₄ を 40 SCCM、C₁₂ を 5 SCCM、BC₁₃ を 180 SCCM 導入して、80 mTorr、1200 W の高周波電力を印加して行う。このとき、Ti 膜のエッティングレートは 34 nm/分である。

【0145】エッティング後わずかに残さが確認されることがあるが、SPX 洗浄液や EKC などの溶液で洗浄することにより除去することができる。また、上記エッティング条件で、下地にあるゲート絶縁膜 1106 のエッティングレートは 1.8 ~ 3.8 nm/分であり、エッティング時

間が長いとゲート絶縁膜のエッティングが進んでしまうため注意が必要である。

【0146】そして、ゲート電極の第 1 層目 1127、1128、1129、1130 とゲート電極の第 3 層目 1132、1133、1134、1135 を形成する。ゲート電極の第 1 層目とゲート電極の第 3 層目とのチャネル長方向の長さは同じに形成され、ゲート電極の第 1 層目 1127、1128 とゲート電極の第 3 層目 1132、1133 は、ここでは 6 μm の長さに形成する。また、ゲート電極の第 1 層目 1129、1130 とゲート電極の第 3 層目 1134、1135 は、4 μm の長さに形成する(図 12 (B))。

【0147】また、画素マトリクス回路を構成する画素 TFT のドレイン側に保持容量を設ける構造となっている。このとき、導電層 (A) と、導電層 (C) とから保持容量の電極 1131、1136 を形成する。

【0148】そして、図 12 (C) に示すように、レジストマスク 1137、1138、1139、1140、1141 を形成して、n 型を付与する第 2 の不純物元素を添加する工程を行う。ここでは、フォスフィン (PH₃) を用いたイオンドープ法で行う。この工程でも、ゲート絶縁膜 1106 を通してその下の半導体層にリンを添加するために、加速電圧は 80 keV と高めに設定する。そして、リンが添加された領域 1142、1143、1144、1145、1146、1147、1148 を形成する。この領域のリンの濃度は n 型を付与する第 1 の不純物元素を添加する工程と比較して高濃度であり、 $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ とするのが好ましく、ここでは $1 \times 10^{20} \text{ atoms/cm}^3$ とする。

【0149】この工程において、レジストマスク 1137、1138、1139、1140 のチャネル長方向の長さは、それぞれの TFT の構造を決める上で重要である。特に、n チャネル型 TFT においては、前述のゲート電極の第 1 層目と第 3 層目の長さと、このレジストマスクの長さにより、第 2 の不純物領域がゲート電極と重なる領域と、重ならない領域をある範囲で自由に決めることができる。本実施例では、ゲート電極の第 1 層目 1127、1128 とゲート電極の第 3 層目 1132、1133 の長さが 6 μm であり、ゲート電極の第 1 層目 1129、1130 とゲート電極の第 3 層目 1134、1135 の長さが 4 μm であるので、第 1 とゲート電極の第 3 層目の長さが 6 μm で形成されたので、レジストマスク 1137 は 9 μm の長さで、レジストマスク 1139、1140 は 7 μm の長さで形成する。

【0150】図 12 (C) までの工程が終了したら、レジストマスク 1137、1138、1139、1140、1141 を除去して、第 1 の層間絶縁膜 1168 を形成する工程を行う。第 1 の層間絶縁膜 1168 は 2 層構造で形成する。最初に空化シリコン膜を 50 nm の成膜する。空化シリコン膜はプラズマ CVD 法で形成さ

れ、 SiH_4 を5 SCCM、 NH_3 を40 SCCM、 N_2 を100 SCCM導入して0.7 Torr、300Wの高周波電力を投入する。そして、続いて酸化シリコン膜をTEOSを500 SCCM、 O_2 を50 SCCM導入し1 Torr、200Wの高周波電力を投入して950 nmの厚さに成膜する。従って、合計1 μm の第1の層間絶縁膜1168を形成する。

【0151】熱処理の工程は、それぞれの濃度で添加されたn型またはp型を付与する不純物元素を活性化するために行う必要がある。この工程は、電気加熱炉を用いた熱アニール法や、前述のエキシマレーザーを用いたレーザーアニール法や、ハロゲンランプを用いたラピットサーマルアニール法(RTA法)で行えれば良い。しかし、レーザーアニール法は低い基板加熱温度で活性をすることができるが、ゲート電極の下の半導体層まで活性化させることは困難である。従って、ここでは熱アニール法で活性化の工程を行う。加熱処理は、窒素雰囲気中において300～700°C、好ましくは350～550°C、ここでは450°C、2時間の処理を行う。

【0152】第1の層間絶縁膜1168はその後、パターニングでそれぞれのTFTのソース領域と、ドレイン領域に達するコンタクトホールが形成された。そして、ソース配線1169、1170、1171、とドレイン配線1172、1173を形成する。図示していないが、本実施例ではこの配線を、Ti膜を100 nm、Tiを含むAl膜300 nm、Ti膜150 nmをスパッタ法で連続して形成する3層構造の配線として用いる。

【0153】そして、ソース配線1169、1170、1171とドレイン配線1172、1173と、第1の層間絶縁膜1168を覆ってパッセーション膜1174を形成する。パッセーション膜1174は、空化シリコン膜で50 nmの厚さで形成する。さらに、有機樹脂膜からなる第2の層間絶縁膜1175を約1000 nmの厚さに形成する。有機樹脂膜としては、ポリイミド、アクリル、ポリイミドアミド等を使用することができる。有機樹脂膜を用いることの利点は、成膜方法が簡単である点や、比誘電率が低いので、寄生容量を低減できる点、平坦性に優れる点などが上げられる。なお上述した以外の有機樹脂膜を用いることもできる。ここでは、基板に塗布後、熱重合するタイプのポリイミドを用い、300°Cで焼成して形成する。

【0154】以上までの工程で、クラッド構造のゲート電極が形成され、CMOS回路のnチャネル型TFTにはチャネル形成領域1149、第1の不純物領域1152、1153、第2の不純物領域1150a、1150b、1151a、1151bが形成される。ここで、第2の不純物領域は、ゲート電極と重なる領域(GOLD領域)1150a、1151aが1.5 μm の長さに、ゲート電極と重ならない領域(LDD領域)1150b、1151bが1.5 μm の長さにそれぞれ形成され

る。そして、第1の不純物領域1152はソース領域として、第1の不純物領域1153はドレイン領域となる。

【0155】pチャネル型TFTは、同様にクラッド構造のゲート電極が形成され、チャネル形成領域1154、第3の不純物領域1155a 1155b、1156a、1156bが形成される。そして、第3の不純物領域1155a、1155bはソース領域として、第3の不純物領域1156a、1156bはドレイン領域となる。

【0156】また、画素マトリクス回路の画素TFTは、チャネル形成領域1157、1161と第1の不純物領域1160、1164と第2の不純物領域1158、1159、1162、1163が形成される。ここで第2の不純物領域は、ゲート電極と重なる領域1158a、1159a、1162a、1163aと重ならない領域1158b、1159b、1162b、1163bとか形成される。

【0157】こうして図13に示すように、基板1101上にCMOS回路と、画素マトリクス回路が形成されたアクティブマトリクス基板が作製される。また、画素マトリクス回路のnチャネル型TFTのドレイン側には、保持容量部が同時に形成される。

【0158】【実施例6】本実施例では、実施例1で作製されたアクティブマトリクス基板から、アクティブマトリクス型液晶表示装置を作製する工程を説明する。

【0159】図5の状態のアクティブマトリクス基板に対して、図16(A)に示すように第2の層間絶縁膜381上に遮光膜1601、第3の層間絶縁膜1602を形成する。遮光膜1601は顔料を含む有機樹脂膜や、Ti、Crなどの金属膜を用いると良い。また、第3の層間絶縁膜1602は、ポリイミドなどの有機樹脂膜で形成する。そして、第3の層間絶縁膜1602と第2の層間絶縁膜381にドレイン配線379に達するコンタクトホールを形成し、画素電極1603を形成する。画素電極1603は、透過型液晶表示装置とする場合には透明導電膜を用い、反射型の液晶表示装置とする場合には金属膜を用いれば良い。ここでは透過型の液晶表示装置とするために、酸化インジウム・スズ(I_{TO})膜を100 nmの厚さにスパッタ法で形成し、画素電極1603を形成する。

【0160】透明導電膜の材料のエッチング処理は塩酸系の溶液により行う。しかし、I_{TO}のエッチングは残渣が発生しやすいので、エッチング加工性を改善するために酸化インジウム酸化亜鉛合金(I_{TO}O₃—ZnO)を用いても良い。酸化インジウム酸化亜鉛合金は表面平滑性に優れ、I_{TO}と比較して熱安定性にも優れているという特徴をもつ。同様に、酸化亜鉛(ZnO)も適した材料であり、さらに可視光の透過率や導電率を高めるためにガリウム(Ga)を添加した酸化亜鉛(ZnO)：

G a)などを用いることができる。

【0161】次に、図16 (B) に示すように、配向膜1604を第3の層間絶縁膜1602と画素電極1603形成する。通常液晶表示素子の配向膜にはポリイミド樹脂が多く用いられている。対向側の基板1605には、透明導電膜1606と、配向膜1607とを形成する。配向膜は形成された後、ラビング処理を施して液晶分子がある一定のプレチルト角を持って平行配向するようになる。

【0162】上記の工程を経て、画素マトリクス回路と、CMOS回路が形成されたアクティブマトリクス基板と対向基板とを、公知のセル組み工程によってシール材やスペーサ(共に図示せず)などを介して貼り合わせる。その後、両基板の間に液晶材料1608を注入し、封止剤(図示せず)によって完全に封止する。よって図16 (B) に示すアクティブマトリクス型液晶表示装置が完成する。

【0163】次に本実施例のアクティブマトリクス型液晶表示装置の構成を、図14と図15 (A)、(B) を用いて説明する。図14は本実施例のアクティブマトリクス基板の俯観図である。アクティブマトリクス基板は、ガラス基板301上に形成される画素マトリクス回路1401と、走査(ゲート)線駆動回路1402と、データ(ソース)線駆動回路1403で構成される。画素マトリクス回路の画素TFT1400はnチャネル型TFTであり、周辺に設けられる駆動回路はCMOS回路を基本として構成されている。走査(ゲート)線駆動回路1402と、データ(ソース)線駆動回路1403はそれぞれゲート配線1502とソース配線1503で画素マトリクス回路1401に接続されている。

【0164】図15 (A) は画素マトリクス回路1401の上面図であり、ほぼ1画素の上面図である。画素マトリクス回路には画素TFTであるnチャネル型TFTが設けられている。ゲート配線1502に連続して形成されるゲート電極1520は、図示されていないゲート絶縁膜を介してその下の半導体層1501と交差している。図示はしていないが、半導体層には、ソース領域、ドレイン領域、第1の不純物領域が形成されている。また、画素TFTのドレイン側には、半導体層と、ゲート絶縁膜と、ゲート電極と同じ材料で形成された電極とから、保持容量1507が形成されている。そして、保持容量1507に接続した容量配線1521が、ゲート配線1502と平行に設けられている。また、図15 (A) で示すA-A'に沿った断面構造は、図5に示すCMOS回路の断面図に対応している。

【0165】一方、図15 (B) に示すCMOS回路では、ゲート配線1515から延在するゲート電極1513、1514が、図示されていないゲート絶縁膜を介してその下の半導体層1510、1512とそれぞれ交差している。図示はしていないが、同様にnチャネル型T

FETの半導体層には、ソース領域、ドレイン領域、第1の不純物領域が形成されている。また、pチャネル型TFTの半導体層にはソース領域とドレイン領域が形成されている。そして、その位置関係は、B-B'に沿った断面構造は、図5に示す画素マトリクス回路の断面図に対応している。

【0166】本実施例では、画素TFT1400をダブルゲートの構造としているが、シングルゲートの構造でも良いし、トリプルゲートとしたマルチゲート構造にしても構わない。本実施例のアクティブマトリクス基板の構造は、本実施例の構造に限定されるものではない。本願発明の構造は、ゲート電極の構造と、ゲート絶縁膜を介して設けられた半導体層のソース領域と、ドレイン領域と、その他の不純物領域の構成に特徴があるので、それ以外の構成については実施者が適宜決定すれば良い。

【0167】本実施例で示すアクティブマトリクス型液晶表示装置を作製するためのアクティブマトリクス基板は、実施例1で示すものに限定されず、実施例2～5および実施例7に示す工程に基づいて作製されるアクティブマトリクス基板であれば、いずれも適用することができる。

【0168】【実施例7】本実施例では、実施例5で示したアクティブマトリクス基板の作製方法においてゲッタリング工程を簡略化する方法を示す。まず、実施例5において、図11 (A) で示される半導体層1103、1104、1105は、触媒元素を用いて作製された結晶質シリコン膜である。このとき、結晶化の工程で用いられた触媒元素が半導体層中に残存するので、ゲッタリングの工程を実施することが望ましい。実施例5では結晶質シリコン膜が得られた後で、その結晶質シリコン膜の一部にリンを添加してゲッタリングする方法であったが、ここでは、そのゲッタリング工程を実施せずに、以下に述べる方法で触媒元素をTFTのチャネル形成領域から除去する。

【0169】ここでは、図11 (A) から図12 (C) に示す工程までそのまま実施する。そして、レジストマスク1137、1138、1139、1140、1141を除去する。

【0170】このとき、nチャネル型TFTの第1の不純物領域1152、1153、1160、1161にはリンが添加されている。またpチャネル型TFTの第3の不純物領域の1155b、1156bにも同様にリンが添加されている。実施例5に従えばこのときリン濃度は $1 \cdot 10^{20} \sim 1 \cdot 10^{21} \text{ atoms/cm}^3$ である。

【0171】この状態で、図22に示すようにゲート絶縁膜およびゲート電極を空化シリコン膜1180で被覆する。空化シリコン膜はプラズマCVD法で、 $10 \sim 100 \text{ nm}$ 、ここでは 50 nm の厚さに形成する。空化シリコン膜の代りに酸化空化シリコン膜を用いても良い。

【0172】実施例5では、ゲート電極の第3層目をM

o-Wで形成する。またその他にTi、Ta、Mo、Wなどで形成しても良い。そしてこれらの材料は大気圧中または窒素ガスをパージしながらの加熱処理で比較的酸化されやすいものである。このような状況において、その表面を窒化シリコンで被覆すると酸化を防止することができる。

【0173】この状態で、窒素雰囲気中で400～800℃、1～2.4時間、例えば600℃、1.2時間の加熱処理の工程を行う。この工程により、添加されたn型及びp型を付与する不純物元素を活性化することができる。さらに、リンが添加されている領域がゲッタリングサイトとなり、結晶化の工程の後残存していた触媒元素を偏析させることができる。その結果、チャネル形成領域から触媒元素を除去することができる。その結果、完成したTFTにおいてオフ電流を低減させる効果が得られる。

【0174】図22の工程が終了したら、以降の工程は実施例5の工程に従い、第1の層間絶縁膜、ソース配線およびドレイン配線、パッシバーション膜、第2の層間絶縁膜を形成し、図13状態を形成することによりアクティプマトリクス基板を作製することができる。

【0175】【実施例8】本実施例では、図1で示したCMOS回路の回路構成の他の例について図23を用いて説明する。尚、図23(A)のインバータ回路図、図23(B)のインバータ回路の上面図における各端子部a、b、c、dは対応している。

【0176】図23(A)に示すインバータ回路について、その上面図を図23(B)に示す。図23(B)のA-A'断面構造を図23(C)に示し、ゲート電極2409、2409'、nチャネル型TFTのソース配線2411、pチャネル型TFTのソース配線2414、共通ドレイン配線2413から構成されている。ここで、ゲート電極2409、2409'は、ゲート電極の第1層目2408、2408'、ゲート電極の第2層目2409、2409'、ゲート電極の第3層目2410、2410'が一体となった状態を表している。

【0177】このインバータ回路のnチャネル型TFTには第2の不純物領域2402が設けられている。詳細には、ゲート電極2409とオーバーラップしている第2の不純物領域2402aと、オーバーラップしない第2の不純物領域(LDD領域)2402bとが形成されている。このような構造はドレイン側のみに設ければ良い。また、pチャネル型TFTにはこのような不純物領域は設けられていない。

【0178】【実施例9】上述の本発明の液晶表示装置にはネマチック液晶以外にも様々な液晶を用いることが可能である。例えば、1998、SID、"Characteristics and Driving Scheme of Polymer-Stabilized Monostable LCD Exhibiting Fast Response Time and High Contrast Ratio with Gray-Scale Capability" by H. Furue et

al. や、1997、SID DIGEST, 841, "A Full-Color Thresholdless Antiferroelectric LCD Exhibiting Wide Viewing Angle with Fast Response Time" by T. Yoshida et al. や、1996、J. Mater. Chem. 6(4), 671-673 "Thresholdless antiferroelectricity in liquid crystals and its application to displays" by S. Inui et al. や、米国特許第594569号に開示された液晶を用いることが可能である。

【0179】等方相-コレステリック相-カイラルスマクトイックC相転移系列を示す強誘電性液晶(FILC)を用い、DC電圧を印加しながらコレステリック相-カイラルスマクトイックC相転移をさせ、かつコーンエッジをほぼラビング方向に一致させた単安定FLCDの電気光学特性を図24に示す。図24に示すような強誘電性液晶による表示モードは「Half-f-V字スイッチングモード」と呼ばれている。図24に示すグラフの縦軸は透過率(任意単位)、横軸は印加電圧である。「Half-f-V字スイッチングモード」については、寺田らの"Half-f-V字スイッチングモードFLCD"、第46回応用物理学関係連合講演会講演予稿集、1999年3月、第1316頁、および吉原らの"強誘電性液晶による時分割フルカラーLCD"、液晶第3巻第3号第190頁に詳しい。

【0180】図24に示されるように、このような強誘電性混合液晶を用いると、低電圧駆動かつ階調表示が可能となることがわかる。本願発明の液晶表示装置には、このような電気光学特性を示す強誘電性液晶も用いることができる。

【0181】また、ある温度域において反強誘電相を示す液晶を反強誘電性液晶(AFLC)という。反強誘電性液晶を有する混合液晶には、電場に対して透過率が連続的に変化する電気光学応答特性を示す、無しきい値反強誘電性混合液晶と呼ばれるものがある。この無しきい値反強誘電性混合液晶は、いわゆるV字型の電気光学応答特性を示すものがあり、その駆動電圧が約±2.5V程度(セル厚約1μm～2μm)のものも見出されている。

【0182】また、一般に、無しきい値反強誘電性混合液晶は自発極が大きく、液晶自体の誘電率が高い。このため、無しきい値反強誘電性混合液晶を液晶表示装置に用いる場合には、画素に比較的大きな保持容量が必要となってくる。よって、自発極が小さな無しきい値反強誘電性混合液晶を用いるのが好ましい。

【0183】なお、このような無しきい値反強誘電性混合液晶を本願発明の液晶表示装置に用いることによって低電圧駆動が実現されるので、低消費電力化が実現される。

【0184】【実施例10】本発明を実施して作製されたアクティプマトリクス基板および液晶表示装置や有機EL表示装置は様々な電気光学装置に用いることができ

る。そして、そのような電気光学装置を表示部として組み込んだ電子機器全てに本発明を適用することができるのである。電子機器としては、携帯電話、ビデオカメラ、携帯情報端末、ゴーグル型ディスプレイ、記録媒体のプレーヤー、携帯書籍、パーソナルコンピュータ、デジタルカメラ、プロジェクターなどが上げられる。それらの一例を図25と図26に示す。

【0185】図25 (A) は携帯電話であり、本体9001、音声出力部9002、音声入力部9003、表示装置9004、操作スイッチ9005、アンテナ9006から構成されている。本願発明は音声出力部9002、音声入力部9003、及びアクティピマトリクス基板を備えた表示装置9004に適用することができる。

【0186】図25 (B) はビデオカメラであり、本体9101、表示装置9102、音声入力部9103、操作スイッチ9104、バッテリー9105、受像部9106で構成される。本発明は表示装置9102やその他の信号制御回路に適用することができる。

【0187】図25 (C) は携帯情報端末であり、本体9201、画像入力部9202、受像部9203、操作スイッチ9204、表示装置9205で構成される。本発明は表示装置9205やその他の信号制御回路に適用することができる。

【0188】図25 (D) はゴーグル型ディスプレイであり、本体9301、表示装置9302、アーム部9303で構成される。本願発明は表示装置9302に適用することができる。また、表示されていないが、他の信号制御用回路に使用することもできる。

【0189】図25 (E) はプログラムを記録した記録媒体(以下、記録媒体と呼ぶ)を用いるプレーヤーであり、本体9401、表示装置9402、スピーカー部9403、記録媒体9404、操作スイッチ9405で構成される。尚、記録媒体にはDVD(Digital Versatile Disc)やコンパクトディスク(CD)などを用い、音楽プログラムの再生や映像表示、ビデオゲーム(またはテレビゲーム)やインターネットを介した情報表示などを行うことができる。本発明は表示装置9402やその他の信号制御回路に好適に利用することができる。

【0190】図25 (F) は携帯書籍であり、本体9501、表示装置9502、9503、記憶媒体9504、操作スイッチ9505、アンテナ9506から構成されており、ミニディスク(MD)やDVDに記憶されたデータや、アンテナで受信したデータを表示するものである。表示装置9502、9503は直視型の表示装置であり、本願発明はこの適用することができる。

【0191】図25 (G) はパーソナルコンピュータであり、マイクロプロセッサやメモリーなどを備えた本体9601、画像入力部9602、表示装置9603、キーボード9604で構成される。本発明は表示装置9603やその他の信号処理回路を形成することができる。

【0192】図26 (H) はデジタルカメラであり、本体9701、表示装置9702、接眼部9703、操作スイッチ9704、受像部(図示しない)で構成される。本発明は表示装置9702やその他の信号制御回路に適用することができる。

【0193】図26 (A) はフロント型プロジェクターであり、光源光学系および表示装置2601、スクリーン2602で構成される。本発明は表示装置やその他の信号制御回路に適用することができる。図26 (B) はリア型プロジェクターであり、本体2701、光源光学系および表示装置2702、ミラー2703、スクリーン2704で構成される。本発明は表示装置やその他の信号制御回路に適用することができる。

【0194】なお、図26 (A) および図26 (B) における光源光学系および表示装置2601、2702の構造の一例を示す。光源光学系および表示装置2601、2702は光源光学系2801、ミラー2802、2804～2806、ダイクロイックミラー2803、ビームスプリッター2807、液晶表示装置2808、位相差板2809、投射光学系2810で構成される。投射光学系2810は複数の光学レンズで構成される。図26 (C) では液晶表示装置2808を三つ使用する三板式の例を示したが、このような方式に限定されず、単板式の光学系で構成しても良い。また、図26 (C) 中で矢印で示した光路には適宜光学レンズや偏光機能を有するフィルムや位相を調節するためのフィルムや、IRフィルムなどを設けても良い。また、図26 (D) は図26 (C) における光源光学系2801の構造の一例を示した図である。本実施例では、光源光学系2801はリフレクター2811、光源2812、レンズアレイ2813、2814、偏光変換素子2815、集光レンズ2816で構成される。尚、図26 (D) に示した光源光学系は一例であって図示した構成に限定されるものではない。

【0195】また、ここでは図示しなかったが、本発明はその他にも、ナビゲーションシステムやイメージセンサの読み取り回路などにも適用することも可能である。このように本願発明の適用範囲はきわめて広く、あらゆる分野の電子機器に適用することができる。また、本実施例の電子機器は実施形態および、実施例1～9及び実施例11のどのような組み合わせから成る構成を用いても実現することができる。

【0196】【実施例11】本実施例では、本願発明を用いてEL(エレクトロリミネッセンス)表示装置を作製した例について説明する。

【0197】図27 (A) は本願発明を用いたEL表示装置の上面図である。図27 (A)において、4010は基板、4011は画素部、4012はノース側駆動回路、4013はゲート側駆動回路であり、それぞれの駆動回路は配線4014～4016を経てFPC4017

に至り、外部機器へと接続される。

【0198】このとき、少なくとも画素部、好ましくは駆動回路及び画素部を用むようにしてカバー材6000、シーリング材（ハウジング材ともいう）7000、密封材（第2のシーリング材）7001が設けられている。

【0199】また、図27（B）は本実施例のEL表示装置の断面構造であり、基板4010、下地膜4021の上に駆動回路用TFT（但し、ここではnチャネル型TFTとpチャネル型TFTを組み合わせたCMOS回路を図示している。）4022及び画素部用TFT4023（但し、ここではEL素子への電流を制御するTFTだけ図示している。）が形成されている。

【0200】本願発明は、駆動回路用TFT4022、画素部用TFT4023に際して用いることができる。

【0201】本願発明を用いて駆動回路用TFT4022、画素部用TFT4023が完成したら、樹脂材料でなる層間絶縁膜（平坦化膜）4026の上に画素部用TFT4023のドレインと電気的に接続する透明導電膜でなる画素電極4027を形成する。画素電極4027が透明導電膜である場合、画素部用TFTとしては、pチャネル型TFTを用いることが好ましい。透明導電膜としては、酸化インジウムと酸化スズとの化合物（ITOと呼ばれる）または酸化インジウムと酸化亜鉛との化合物を用いることができる。そして、画素電極4027を形成したら、絶縁膜4028を形成し、画素電極4027上に開口部を形成する。

【0202】次に、EL層4029を形成する。EL層4029は公知のEL材料（正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層）を自由に組み合わせて積層構造または準層構造とすれば良い。どのような構造とするかは公知の技術を用いれば良い。また、EL材料には低分子系材料と高分子系（ポリマー系）材料がある。低分子系材料を用いる場合は蒸着法を用いるが、高分子系材料を用いる場合には、スピニコート法、印刷法またはインクジェット法等の簡易な方法を用いることが可能である。

【0203】本実施例では、シャドーマスクを用いて蒸着法によりEL層を形成する。シャドーマスクを用いて画素毎に波長の異なる発光が可能な発光層（赤色発光層、緑色発光層及び青色発光層）を形成することで、カラー表示が可能となる。その他にも、色変換層（CCM）とカラーフィルターを組み合わせた方式、白色発光層とカラーフィルターを組み合わせた方式があるがいずれの方法を用いても良い。勿論、単色発光のEL表示装置とすることもできる。

【0204】EL層4029を形成したら、その上に陰極4030を形成する。陰極4030とEL層4029の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、真空中でEL層4029と陰極40

30を連続成膜するか、EL層4029を不活性雰囲気で形成し、大く解放しないで陰極4030を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式（クラスターツール方式）の成膜装置を用いることで上述のような成膜を可能とする。

【0205】なお、本実施例では陰極4030として、LiF（フッ化リチウム）膜とAl（アルミニウム）膜の積層構造を用いる。具体的にはEL層4029上に蒸着法で1nm厚のLiF（フッ化リチウム）膜を形成し、その上に300nm厚のアルミニウム膜を形成する。勿論、公知の陰極材料であるMgAg電極を用いても良い。そして陰極4030は4031で示される領域において配線4016に接続される。配線4016は陰極4030に所定の電圧を与えるための電源供給線であり、導電性ペースト材料4032を介してFPC4017に接続される。

【0206】4031に示された領域において陰極4030と配線4016とを電気的に接続するに、層間絶縁膜4026及び絶縁膜4028にコントクトホールを形成する必要がある。これらは層間絶縁膜4026のエッチング時（画素電極用コントクトホールの形成時）や絶縁膜4028のエッチング時（EL層形成前の開口部の形成時）に形成しておけば良い。また、絶縁膜4028をエッチングする際に、層間絶縁膜4026まで一括でエッチングしても良い。この場合、層間絶縁膜4026と絶縁膜4028が同じ樹脂材料であれば、コントクトホールの形状を良好なものとすることができます。

【0207】このようにして形成されたEL素子の表面を覆って、バッシベーション膜6003、充填材6004、カバー材6000が形成される。

【0208】さらに、EL素子部を用むようにして、カバー材7000と基板4010の内側にシーリング材が設けられ、さらにシーリング材7000の外側には密封材（第2のシーリング材）7001が形成される。

【0209】このとき、この充填材6004は、カバー材6000を接着するための接着剤としても機能する。充填材6004としては、PVC（ポリビニルクロライド）、エポキシ樹脂、シリコーン樹脂、PVB（ポリビニルブチラル）またはEVA（エチレンビニルアセテート）を用いることができる。この充填材6004の内部に乾燥剤を設けておくと、吸湿効果を保持できるので好ましい。

【0210】また、充填材6004の中にスペーサーを含有させてもよい。このとき、スペーサーをBaOなどからなる粒状物質とし、スペーサー自体に吸湿性をもたせててもよい。

【0211】スペーサーを設けた場合、バッシベーション膜6003はスペーサー圧を緩和することができる。また、バッシベーション膜とは別に、スペーサー圧を緩和する樹脂膜などを設けてもよい。

【0212】また、カバー材6000としては、ガラス板、アルミニウム板、ステンレス板、FRP (Fiberglass-Reinforced Plastic) 板、PVF (ポリビニルフルオライド) フィルム、マイラーフィルム、ポリエスチルフィルムまたはアクリルフィルムを用いることができる。なお、充填材6004としてPVBやEVAを用いる場合、数十μmのアルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることが好ましい。

【0213】但し、EL素子からの発光方向 (光の放射方向) によっては、カバー材6000が透光性を有する必要がある。

【0214】また、配線4016はシーリング材7000および密封材7001と基板4010との隙間を通してFPC4017に電気的に接続される。なお、ここでは配線4016について説明したが、他の配線4014、4015も同様にしてシーリング材7000および密封材7001の下を通してFPC4017に電気的に接続される。

【0215】[実施例12] 本実施例では、本願発明を用いて実施例11とは異なる形態のEL表示装置を作製した例について、図28 (A)、(B) を用いて説明する。図27 (A)、(B) と同じ番号のものは同じ部分を指しているので説明は省略する。

【0216】図28 (A) は本実施例のEL表示装置の上面図であり、図28 (A) をA-A'で切断した断面図を図28 (B) に示す。

【0217】実施例11に従って、EL素子の表面を覆ってバッシベーション膜6003までを形成する。

【0218】さらに、EL素子を覆うようにして充填材6004を設ける。この充填材6004は、カバー材6000を接着するための接着剤としても機能する。充填材6004としては、PVC (ポリビニルクロライド)、エポキシ樹脂、シリコーン樹脂、PVB (ポリビニルブチラル) またはEVA (エチレンビニルアセテート) を用いることができる。この充填材6004の内部に乾燥剤を設けておくと、吸湿効果を保持できるので好ましい。

【0219】また、充填材6004の中にスペーサーを含めさせてもよい。このとき、スペーサーをBaOなどからなる粒状物質とし、スペーサー自体に吸湿性をもたせてよい。

【0220】スペーサーを設けた場合、バッシベーション膜6003はスペーサー圧を緩和することができる。また、バッシベーション膜とは別に、スペーサー圧を緩和する樹脂膜などを設けてよい。

【0221】また、カバー材6000としては、ガラス板、アルミニウム板、ステンレス板、FRP (Fiberglass-Reinforced Plastic) 板、PVF (ポリビニルフルオライド) フィルム、

マイラーフィルム、ポリエスチルフィルムまたはアクリルフィルムを用いることができる。なお、充填材6004としてPVBやEVAを用いる場合、数十μmのアルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることが好ましい。

【0222】但し、EL素子からの発光方向 (光の放射方向) によっては、カバー材6000が透光性を有する必要がある。

【0223】次に、充填材6004を用いてカバー材6000を接着した後、充填材6004の側面 (露呈面) を覆うようにフレーム材6001を取り付ける。フレーム材6001はシーリング材 (接着剤として機能する) 6002によって接着される。このとき、シーリング材6002としては、光硬化性樹脂を用いるのが好ましいが、EL層の耐熱性が許せば熱硬化性樹脂を用いても良い。なお、シーリング材6002はできるだけ水分や酸素を透過しない材料であることが望ましい。また、シーリング材6002の内部に乾燥剤を添加してあっても良い。

【0224】また、配線4016はシーリング材6002と基板4010との隙間を通してFPC4017に電気的に接続される。なお、ここでは配線4016について説明したが、他の配線4014、4015も同様にしてシーリング材6002の下を通してFPC4017に電気的に接続される。

【0225】[実施例13] 本実施例ではEL表示装置の画素部の詳細な断面構造を図29に、上面構造を図30 (A) に、回路図を図30 (B) に示す。図29、図30 (A) 及び図30 (B) では共通の符号を用いるので互いに参照すれば良い。

【0226】図29において、基板3001上に設けられたスイッチング用TFT3002は本願発明のpチャネル型TFTを用いて形成される (実施例1～8参照)。本実施例ではダブルゲート構造としているが、構造及び作製プロセスに大きな違いはないので説明は省略する。但し、ダブルゲート構造とすることで実質的に二つのTFTが直列された構造となり、オフ電流値を低減することができるという利点がある。なお、本実施例ではダブルゲート構造としているが、シングルゲート構造でも構わないし、トリブルゲート構造やそれ以上のゲート本数を持つマルチゲート構造でも構わない。また、本願発明のpチャネル型TFTを用いて形成しても構わない。

【0227】また、電流制御用TFT3003は本願発明のpチャネル型TFTを用いて形成される。このとき、スイッチング用TFT3002のドレイン配線3035は配線3036によって電流制御用TFTのゲート電極3037に電気的に接続されている。また、3038で示される配線は、スイッチング用TFT3002のゲート電極3039a、3039bを電気的に接続するゲ

ート配線である。

【0228】このとき、電流制御用TFT3003が本願発明の構造であることは非常に重要な意味を持つ。電流制御用TFTはEL素子を流れる電流量を制御するための素子であるため、多くの電流が流れ、熱による劣化やホットキャリアによる劣化の危険性が高い素子でもある。そのため、電流制御用TFTのドレイン側に、ゲート絶縁膜を介してゲート電極に重なるようにGOLD領域（第2の不純物領域）を設ける本願発明の構造は極めて有効である。

【0229】また、本実施例では電流制御用TFT3003をシングルゲート構造で図示しているが、複数のTFTを直列につなげたマルチゲート構造としても良い。さらに、複数のTFTを並列につなげて実質的にチャネル形成領域を複数に分割し、熱の放射を高い効率で行えるようにした構造としても良い。このような構造は熱による劣化対策として有効である。

【0230】また、図30（A）に示すように、電流制御用TFT3003のゲート電極3037となる配線は3004で示される領域で、電流制御用TFT3003のドレイン配線3040と絶縁膜を介して重なる。このとき、3004で示される領域ではコンデンサが形成される。このコンデンサ3004は電流制御用TFT3003のゲートにかかる電圧を保持するためのコンデンサとして機能する。なお、ドレイン配線3040は電流供給線（電源線）3006に接続され、常に一定の電圧が加えられている。

【0231】スイッチング用TFT3002及び電流制御用TFT3003の上には第1パッシバーション膜3041が設けられ、その上に樹脂絶縁膜でなる平坦化膜3042が形成される。平坦化膜3042を用いてTFTによる段差を平坦化することは非常に重要である。後に形成されるEL層は非常に薄いため、段差が存在することによって発光不良を起こす場合がある。従って、EL層ができるだけ平坦面に形成しうるよう画素電極を形成する前に平坦化しておくことが望ましい。

【0232】また、3043は反射性の高い導電膜でなる画素電極（EL素子の陰極）であり、電流制御用TFT3003のドレインに電気的に接続される。この場合においては、電流制御用TFTとして△チャネル型TFTを用いることが好ましい。画素電極3043としてはアルミニウム合金膜、銅合金膜または銀合金膜など低抵抗な導電膜またはそれらの積層膜を用いることが好ましい。勿論、他の導電膜との積層構造としても良い。

【0233】また、絶縁膜（好ましくは樹脂）で形成されたパンク44a、44bにより形成された溝（画素に相当する）の中に発光層45が形成される。なお、ここでは一画素しか図示していないが、R（赤）、G（緑）、B（青）の各色に対応した発光層を作り分けても良い。発光層とする有機EL材料としては△共役ポリマー系材

料を用いる。代表的なポリマー系材料としては、ポリバラフェニレンビニレン（PPV）系、ポリビニルカルバゾール（PVK）系、ポリフルオレン系などが挙げられる。

【0234】なお、PPV系有機EL材料としては様々な型のものがあるが、例えば H. Shenk, H. Becker, O. Geisen, E. Kluge, W. Kreuder, and H. Spreitzer, "Polymers for Light Emitting Diodes", Euro Display, Proceeding s. 1999, p. 33-37 や特開平10-92576号公報に記載されたような材料を用いれば良い。

【0235】具体的な発光層としては、赤色に発光する発光層にはシアノポリフェニレンビニレン、緑色に発光する発光層にはポリフェニレンビニレン、青色に発光する発光層にはポリフェニレンビニレン若しくはポリアルキルフェニレンを用いれば良い。膜厚は30～150nm（好ましくは40～100nm）とすれば良い。

【0236】但し、以上の例は発光層として用いることのできる有機EL材料の一例であって、これに限定する必要はまったくない。発光層、電荷輸送層または電荷注入層を自由に組み合わせてEL層（発光及びそのためのキャリアの移動を行わせるための層）を形成すれば良い。

【0237】例えば、本実施例ではポリマー系材料を発光層として用いる例を示したが、低分子系有機EL材料を用いても良い。また、電荷輸送層や電荷注入層として炭化珪素等の無機材料を用いることも可能である。これらの有機EL材料や無機材料は公知の材料を用いることができる。

【0238】本実施例では発光層3045の上にPEDOT（ポリチオフェン）またはPAni（ポリアニリン）でなる正孔注入層3046を設けた積層構造のEL層としている。そして、正孔注入層3046の上には透明導電膜でなる陽極47が設けられる。本実施例の場合、発光層3045で生成された光は上面側に向かって（TFTの上方に向かって）放射されるため、陽極は透光性でなければならない。透明導電膜としては酸化インジウムと酸化スズとの化合物や酸化インジウムと酸化亜鉛との化合物を用いることができるが、耐熱性の低い発光層や正孔注入層を形成した後で形成するため、可能な限り低温で成膜できるものが好ましい。

【0239】陽極3047まで形成された時点でEL素子3005が完成する。なお、ここでいうEL素子3005は、画素電極（陰極）3043、発光層3045、正孔注入層3046及び陽極3047で形成されたコンデンサを指す。図30（A）に示すように画素電極3043は画素の面積にほぼ一致するため、画素全体がEL素子として機能する。従って、発光の利用効率が非常に高く、明るい画像表示が可能となる。

【0240】ところで、本実施例では、陽極3047の上にさらに第2パッシバーション膜3048を設けてい

る。第2バッシャーション膜3048としては空化珪素膜または空化酸化珪素膜が好ましい。この目的は、外部とEL素子とを遮断することであり、有機EL材料の酸化による劣化を防ぐ意味と、有機EL材料からの脱ガスを抑える意味との両方を併せ持つ。これによりEL表示装置の信頼性が高められる。

【0241】以上のように本願発明のEL表示パネルは図29のような構造の画素からなる画素部を有し、オフ電流値の十分に低いスイッチング用TFTと、ホットキャリヤ注入に強い電流制御用TFTとを有する。従つて、高い信頼性を有し、且つ、良好な画像表示が可能でEL表示パネルが得られる。

【0242】なお、本実施例の構成は、実施例1～8構成と自由に組み合わせて実施することが可能である。また、実施例10の電子機器の表示部として本実施例のEL表示装置を用いることは有効である。

【0243】[実施例1-1]本実施例では、実施例13に示した画素部において、EL素子3005の構造を反転させた構造について説明する。説明には図31を用いる。なお、図29の構造と異なる点はEL素子の部分と電流制御用TFTだけであるので、その他の説明は省略することとする。

【0244】図31において、電流制御用TFT3103は本願発明のpチャネル型TFTを用いて形成される。作製プロセスは実施例1～8を参照すれば良い。

【0245】本実施例では、画素電極(陽極)3050として透明導電膜を用いる。具体的には酸化インジウムと酸化亜鉛との化合物でなる導電膜を用いる。勿論、酸化インジウムと酸化スズとの化合物でなる導電膜を用いても良い。

【0246】そして、絶縁膜でなるパンク3051a、3051bが形成された後、溶液塗布によりポリビニルカリハーバールでなる発光層52が形成される。その上にはカリウムアセチルアセトネット(acacKと表記される)でなる電子注入層3053、アルミニウム合金でなる陰極3054が形成される。この場合、陰極3054がバッシャーション膜としても機能する。こうしてEL素子3101が形成される。

【0247】本実施例の場合、発光層3052で発した光は、矢印で示されるようにTFTが形成された基板の方に向かって放射される。

【0248】なお、本実施例の構成は、実施例1～8の構成と自由に組み合わせて実施することが可能である。また、実施例10の電子機器の表示部として本実施例のEL表示パネルを用いることは有効である。

【0249】[実施例1-5]本実施例では、図30(B)に示した回路図とは異なる構造の画素とした場合の例について図32(A)～(C)に示す。なお、本実施例において、3201はスイッチング用TFT3202のソース配線、3203はスイッチング用TFT3202の

ゲート配線、3204は電流制御用TFT、3205はコンデンサ、3206、3208は電流供給線、3207はEL素子とする。

【0250】図32(A)は、二つの画素間で電流供給線3206を共通とした場合の例である。即ち、二つの画素が電流供給線3206を中心に線対称となるように形成されている点に特徴がある。この場合、電源供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

【0251】また、図32(B)は、電流供給線3208をゲート配線3203と平行に設けた場合の例である。なお、図32(B)では電流供給線3208とゲート配線3203とが重ならないように設けた構造となっているが、両者が異なる層に形成される配線であれば、絶縁膜を介して重なるように設けることもできる。この場合、電源供給線3208とゲート配線3203とで専有面積を共有させることができるために、画素部をさらに高精細化することができる。

【0252】また、図32(C)は、図32(B)の構造と同様に電流供給線3208をゲート配線3203a、3230bと平行に設け、さらに、二つの画素を電流供給線3208を中心に線対称となるように形成する点に特徴がある。また、電流供給線3208をゲート配線3203a、3230bのいずれか一方と重なるように設けることも有効である。この場合、電源供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

【0253】なお、本実施例の構成は、実施例1～8の構成と自由に組み合わせて実施することが可能である。また、実施例10の電子機器の表示部として本実施例の画素構造を有するEL表示装置を用いることは有効である。

【0254】[実施例1-6]実施例13に示した図30(A)、(B)では電流制御用TFT3003のゲートにかかる電圧を保持するためにコンデンサ3004を設ける構造としているが、コンデンサ3004を省略することも可能である。実施例13の場合、電流制御用TFT3003として実施例1～8に示すような本願発明のpチャネル型TFTを用いているため、ゲート絶縁膜を介してゲート電極に重なるように設けられたGOLD領域(第2の不純物領域)を有している。この重なり合った領域には一般的にゲート容量と呼ばれる寄生容量が形成されるが、本実施例ではこの寄生容量をコンデンサ3004の代わりとして積極的に用いる点に特徴がある。

【0255】この寄生容量のキャパシタンスは、上記ゲート電極とGOLD領域とが重なり合った面積によって変化するため、その重なり合った領域に含まれるGOLD領域の長さによって決まる。

【0256】また、実施例15に示した図32(A)、(B)、(C)の構造においても同様に、コンデンサ3

205を省略することは可能である。

【0257】なお、本実施例の構成は、実施例1～8の構成と自由に組み合わせて実施することが可能である。また、実施例10の電子機器の表示部として本実施例の画素構造を有するEL表示装置を用いることは有効である。

【0258】

【発明の効果】本願発明を実施することで、画素マトリクス回路のnチャネル型TFTに15～20Vのゲート電圧を印加して駆動させても、安定した動作を得ることができた。その結果、結晶質TFTで作製されたCMOS回路を含む半導体装置、また、具体的には液晶表示装置の画素マトリクス回路や、その周辺に設けられる駆動回路の信頼性を高め、長時間の使用に耐える液晶表示装置を得ることができた。

【0259】また、本発明によれば、nチャネル型TFTのチャネル形成領域とドレイン領域との間に形成される第2の不純物領域において、その第2の不純物領域がゲート電極と重なる領域(GOLD領域)と重ならない領域(LDD領域)の長さを容易に作り分けることが可能である。具体的には、TFTの駆動電圧に応じて第2の不純物領域がゲート電極と重なる領域(GOLD領域)と重ならない領域(LDD領域)の長さを決めることが可能であり、このことは、同一基板内において異なる駆動電圧でTFT動作させる場合に、それぞれの駆動電圧に応じたTFTを同一工程で作製することを可能とする。

【0260】また、本発明のこのような特徴は、駆動電圧や要求されるTFT特性が画素マトリクス回路とドライバ回路で異なるアクティブマトリクス型の液晶表示装置においてきわめて適したものである。

【図面の簡単な説明】

【図1】 本実施形態のTFTの断面図。

【図2】 ゲート電極と第2の不純物領域との位置関係を説明する図。

【図3】 TFTの作製工程を示す断面図。

【図4】 TFTの作製工程を示す断面図。

【図5】 TFTの作製工程を示す断面図。

【図6】 TFTの作製工程を示す断面図。

【図7】 TFTの作製工程を示す断面図。

【図8】 TFTの作製工程を示す断面図。

【図9】 TFTの作製工程を示す断面図。

【図10】 TFTの作製工程を示す断面図。

【図11】 TFTの作製工程を示す断面図。

【図12】 TFTの作製工程を示す断面図。

【図13】 TFTの作製工程を示す断面図。

【図14】 アクティブマトリクス基板の斜視図。

【図15】 アクティブマトリクス回路とCMOS回路の上面図。

【図16】 液晶表示装置の作製工程を示す断面図。

【図17】 ゲート電極の構成を示す図。

【図18】 TFTの構造と電気的特性を説明する図。

【図19】 結晶質シリコン膜の作製工程を示す図。

【図20】 結晶質シリコン膜の作製工程を示す図。

【図21】 結晶質シリコン膜の作製工程を示す図。

【図22】 TFTの作製工程を示す断面図。

【図23】 インバータ回路図、上面図、および断面構造図。

【図24】 強誘電性混合液晶の光透過率特性を示す図。

【図25】 半導体装置の一例を示す図。

【図26】 プロジェクターの構成を説明する図。

【図27】 アクティブマトリクス型EL表示装置の上面図及び断面図。

【図28】 アクティブマトリクス型EL表示装置の上面図及び断面図。

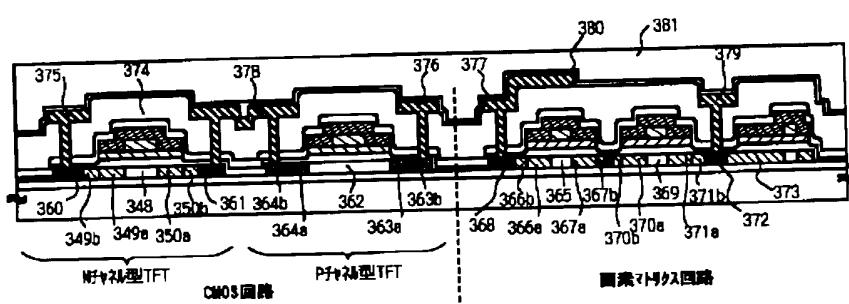
【図29】 アクティブマトリクス型EL表示装置の画素部の断面図。

【図30】 アクティブマトリクス型EL表示装置の画素部の上面図及び回路図。

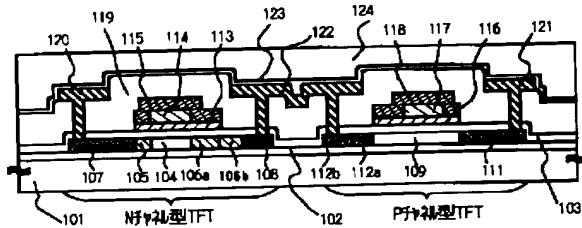
【図31】 アクティブマトリクス型EL表示装置の画素部の断面図。

【図32】 アクティブマトリクス型EL表示装置の画素部の回路図。

【図10】

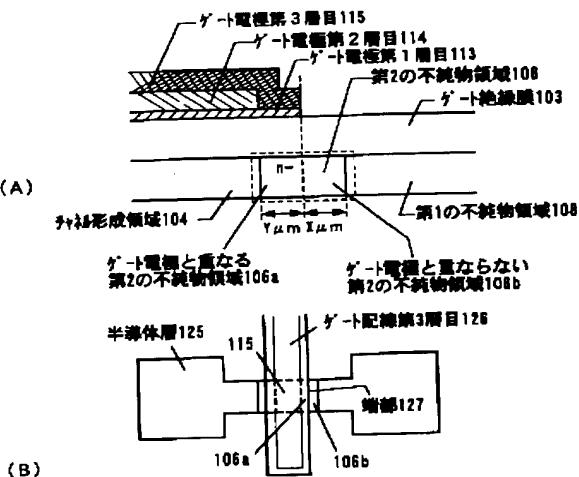


【図1】



101:基板、102:下地膜、103:ゲート絶縁膜、104, 109:ゲート領域、
105, 106:第2の不純物領域、107, 108第1の不純物領域、
111, 112:第3の不純物領域、113, 116:ゲート電極の1層目、
114, 117:ゲート電極の2層目、115, 118:ゲート電極の3層目、
119:第1の面間絶縁膜、120, 121:Y-配線、122:トレイル配線、
123:ハサハーション膜、124:第2の面間絶縁膜

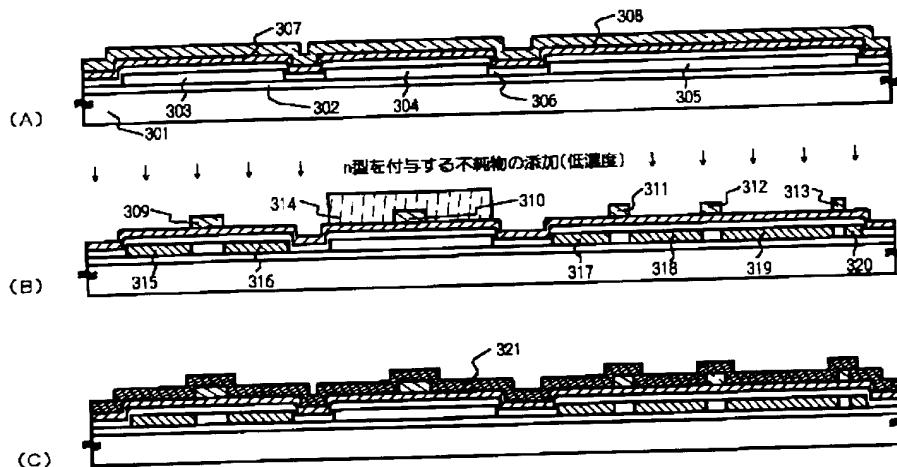
【図2】



設計値の一例

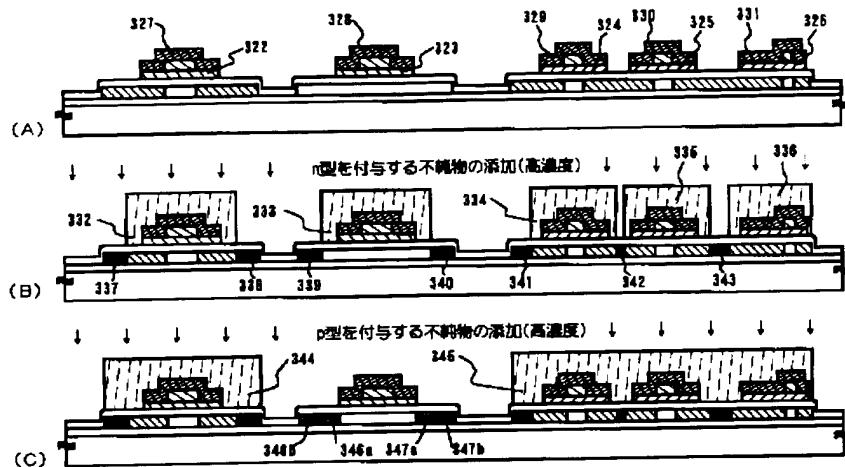
	TFT電極電圧	X社長 μm	Y μm	X μm
トランジスタ パッカ回路部TFT	(16±2)V系 (20±3)V系	5.0±1.5	2.5±0.3	2.5±0.5
トランジスタ ドライバ回路部TFT	(5±1)V系 (10±1)V系	5.0±2.0	3.0±0.5	3.0±0.5
アドレス回路部TFT	(16±2)V系 (18±2)V系	3.0±1.0	0.5±0.3	0.5±0.3
画素回路部TFT	(16±2)V系 (18±2)V系	3.0±1.0	1.5±0.5	1.5±0.5

【図3】



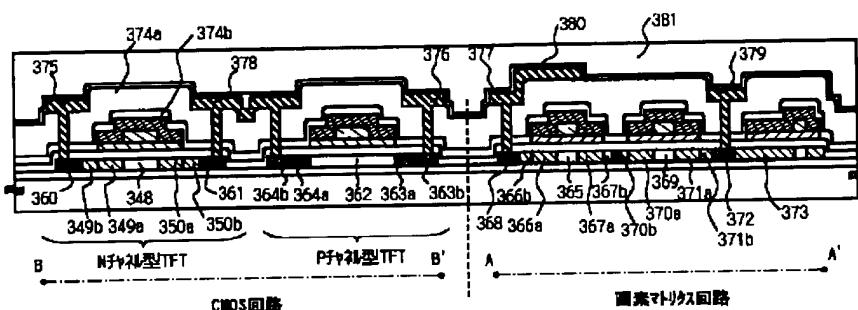
301:基板、302:下地膜、303, 304, 305:半導体層、306:ゲート絶縁膜(A)、308:導電層(B)、
309, 310, 311, 312:ゲート電極第2層目、313:保持寄電極、314:ゲートマスク、321:導電層(C)

【図4】



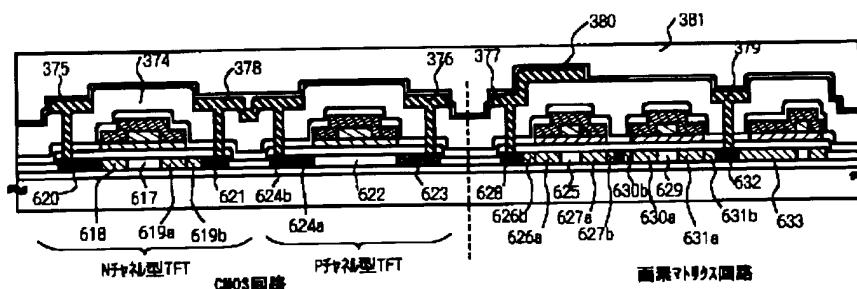
322, 323, 324, 325:アート電極第1層目、326:保持容量記憶、327, 328, 329, 330:アート電極第3層目、
331:保持容量記憶、332, 333, 334, 335, 336, 337:アート電極第2層目

【図5】



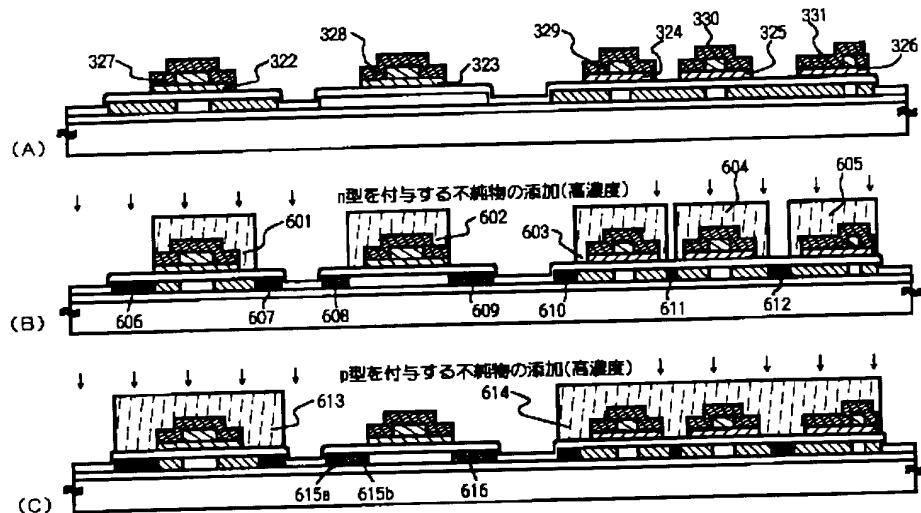
348, 362, 365, 369:ドリフ形成領域、349, 350, 366, 367, 370, 371:第2の不純物領域(n型)、
360, 361, 364, 372:第1の不純物領域(n型)、363, 364:第3の不純物領域(p型)、373:不純物領域、
374:第1の遮断電極、375, 376, 377:ソース電極、378, 379:ドレイン電極、380:ハーフジオード、
381:第2の遮断電極

【図7】



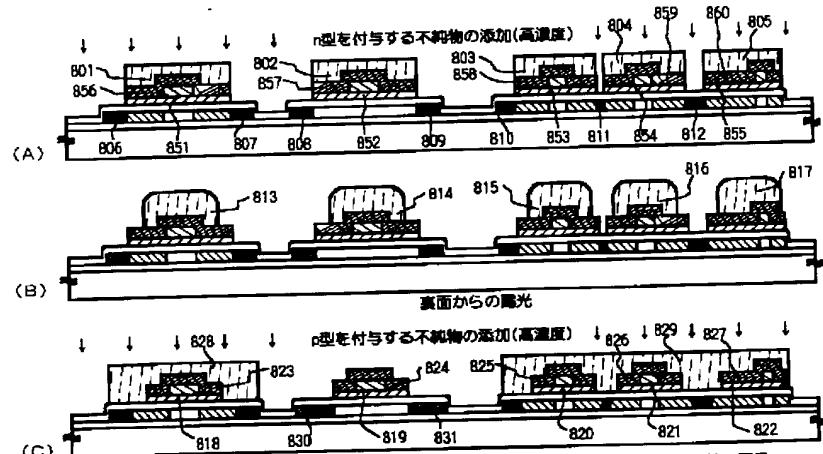
617, 622, 625, 629:ドリフ形成領域、618, 619, 626, 617, 630, 631:第2の不純物領域(n型)、
620, 621, 628, 632:第1の不純物領域(n型)、623, 624:第3の不純物領域(p型)、
633:不純物領域

【図6】



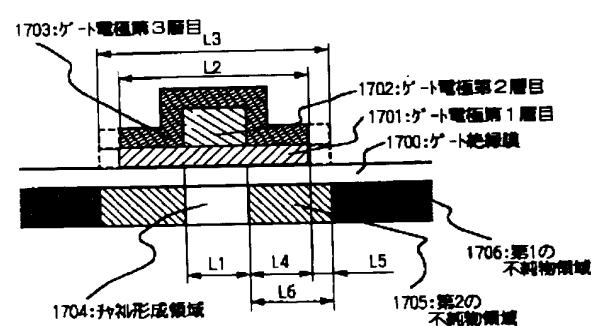
601, 602, 603, 604, 605, 613, 614:レジストマスク

【図8】

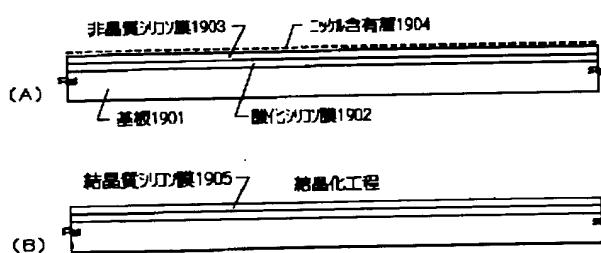


801, 802, 803, 804, 805, 813, 814, 815, 816, 817, 826, 829:レジストマスク、818, 819, 820, 821:ゲート電極第1層目、
 822:保持電極記録、823, 824, 825, 826:ゲート電極第3層目、827:保持電極記録。
 851, 852, 853, 854:ゲート電極第2層目の膜形、855:保持電極記録の膜形。
 856, 857, 858, 859:ゲート電極第3層目の膜形、860:保持電極記録の膜形。

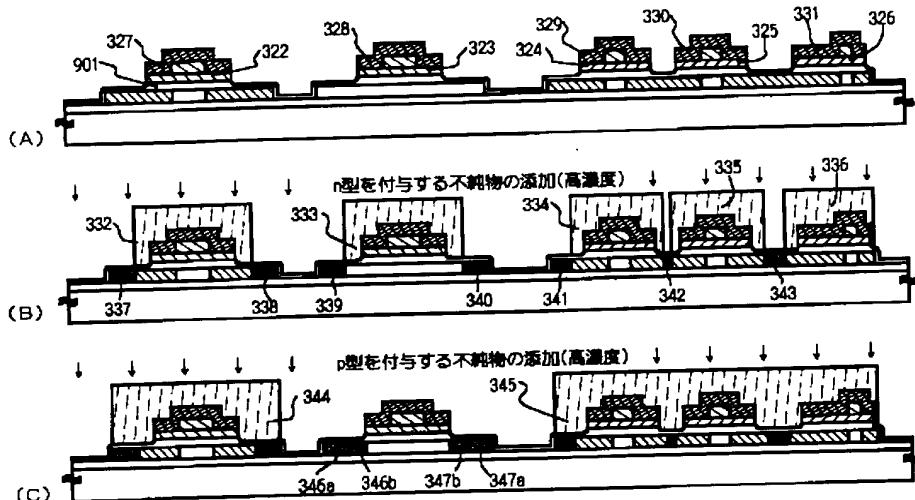
【図17】



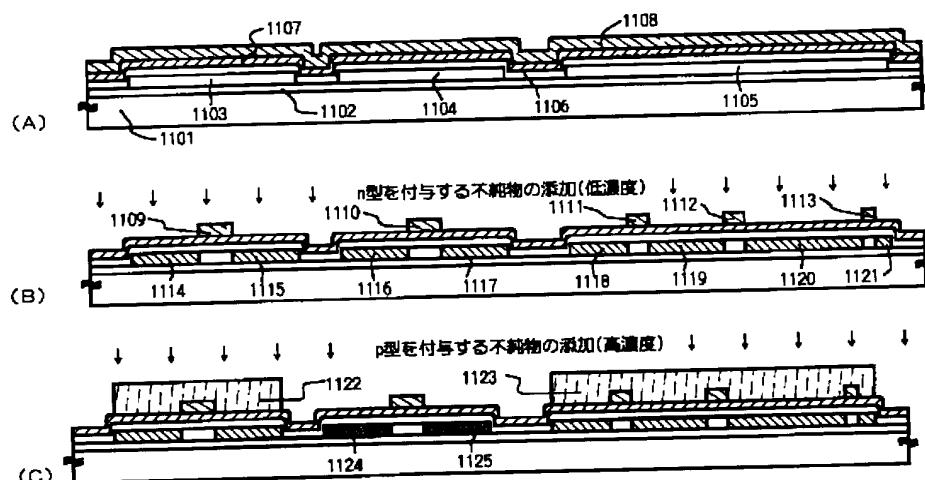
【図19】



[図9]

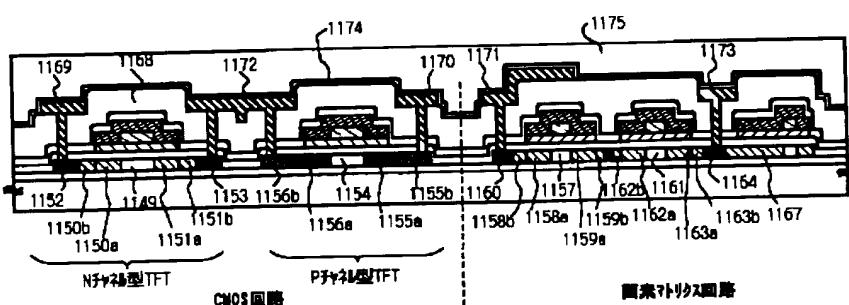


【図 1-1】



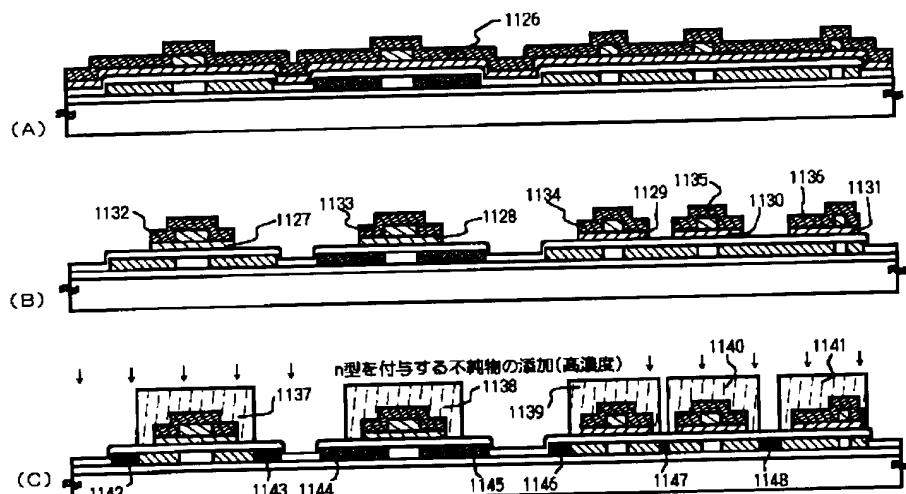
1101:高板、1102:下地膜、1103, 1104, 1105:半導体膜、1106:ゲート電極膜、1107:導電膜(A)、1108:導電膜(B)、1109, 1110, 1111, 1112:ゲート電極第2層膜、1113:保持器電極膜、1122, 1123:リップスマスク

[図 1.3]



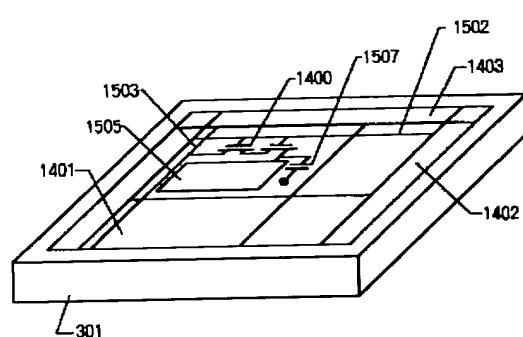
1149, 1154, 1157, 1161: **サル形成領域**、1150, 1151, 1158, 1159, 1162, 1163: **第2の不規則領域(ヒ型)**、
1152, 1153, 1160, 1164: **第1の不規則領域(ヒ型)**、1155, 1156: **第3の不規則領域(ヒ型)**、1167: **不規則領域**、
1168: **第1のハラ原生地帯**、1169, 1170, 1171: **ゾー泡原生地帯**、1172, 1173: **ドレイ原生地帯**、1174: **ハラジマ-シヨク原生地帯**、
1175: **第2のハラ原生地帯**

【図12】



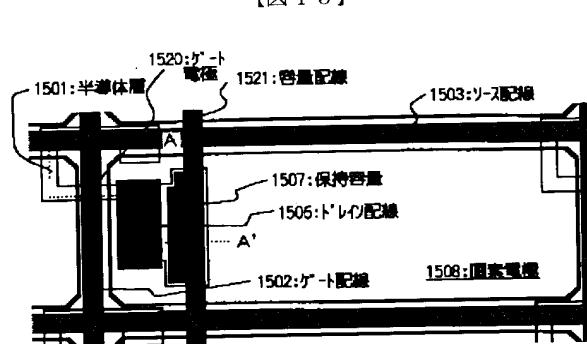
1126: 基電極(C)、1127, 1128, 1129, 1130: ゲート電極第1層目、1131: 保持容量記録、
1132, 1133, 1134, 1135: ゲート電極第3層目、1136: 保持容量記録、1137, 1138, 1139, 1140, 1141: レジストマスク
1142, 1143, 1144, 1145, 1146, 1147, 1148

【図14】

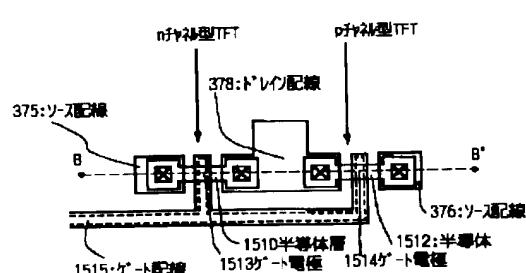


301: 基板

1400: ピクセルTFT
1401: ピクセルマトリクス回路
1402: 走査(ゲート)線駆動回路、1403: データ(ソース)線駆動回路
1502: ゲート配線、1503: リース配線、1505: ピクセル電極、1507: 保持容量

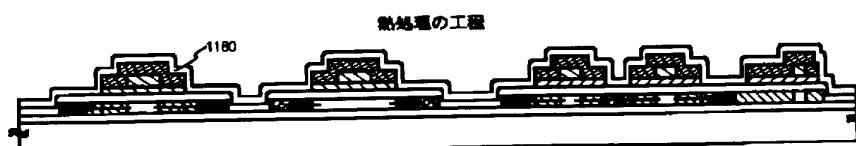


(A) ピクセル回路上面図

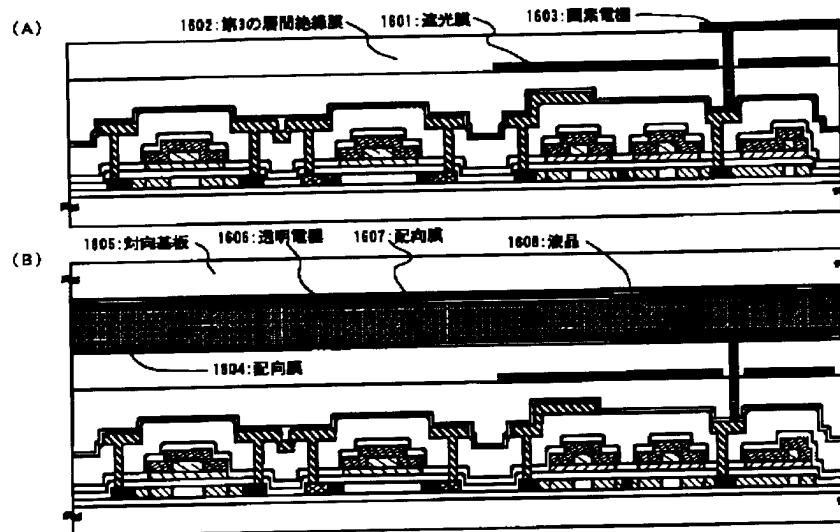


(B) CMOS回路上面図

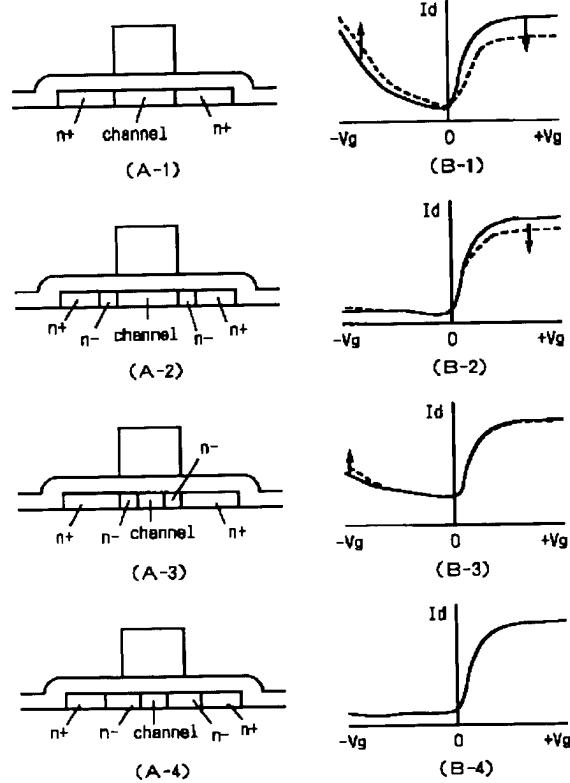
【図22】



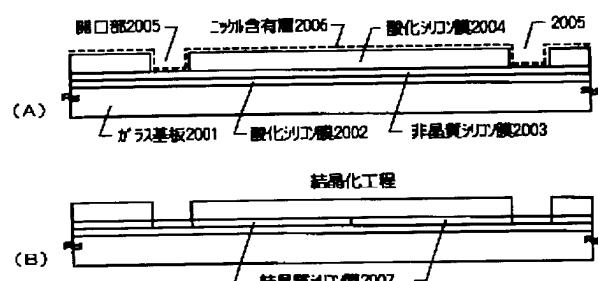
【図16】



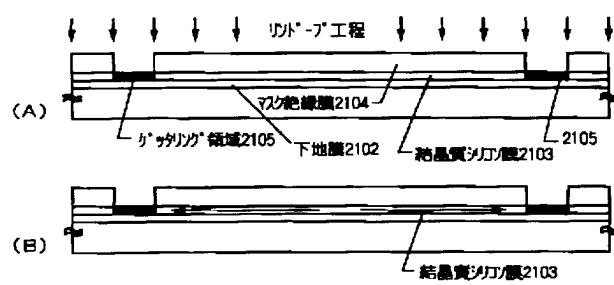
【図18】



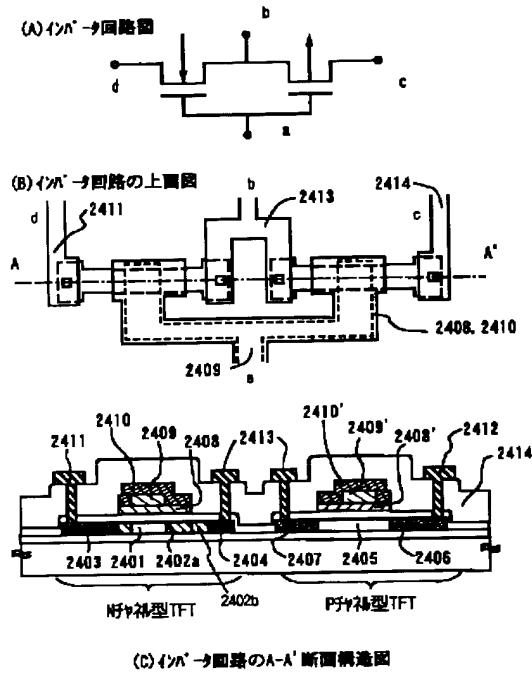
【図20】



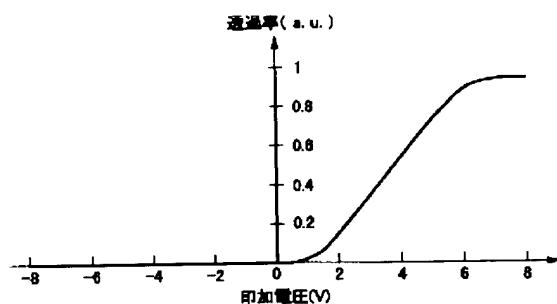
【図21】



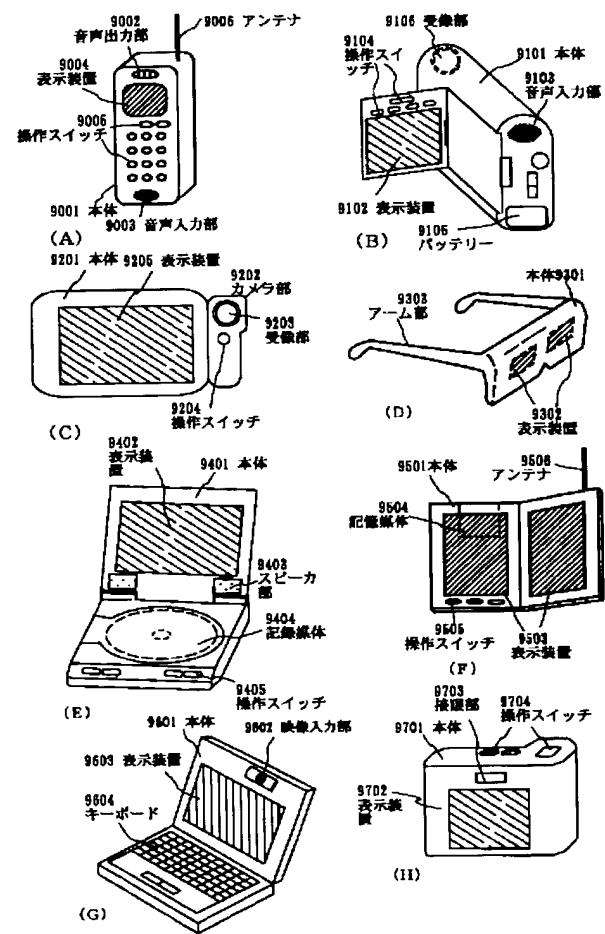
【図23】



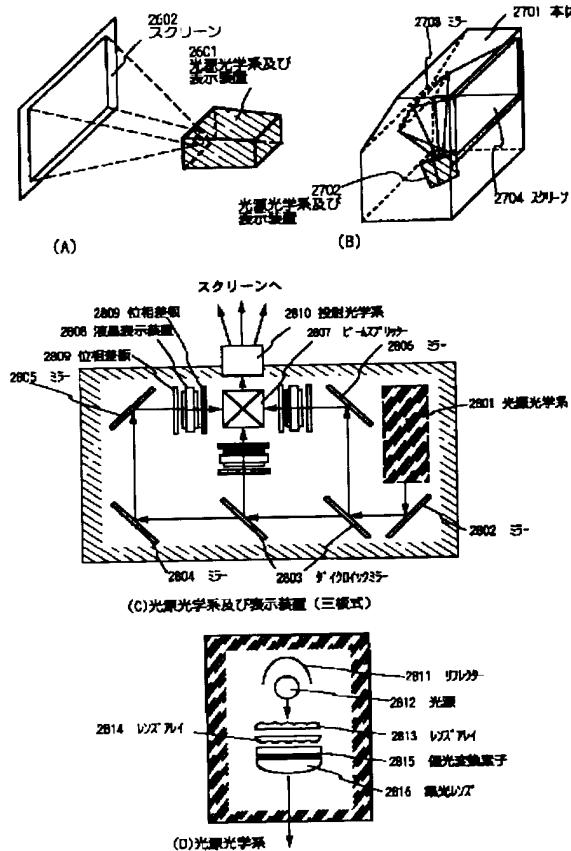
【図24】



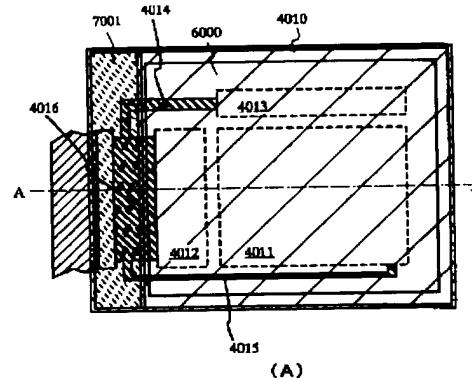
【図25】



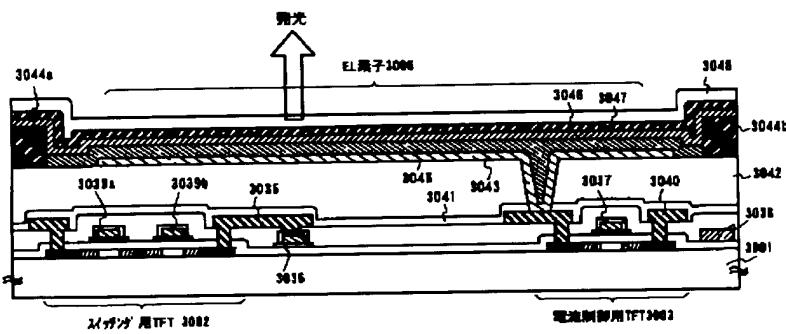
【图26】



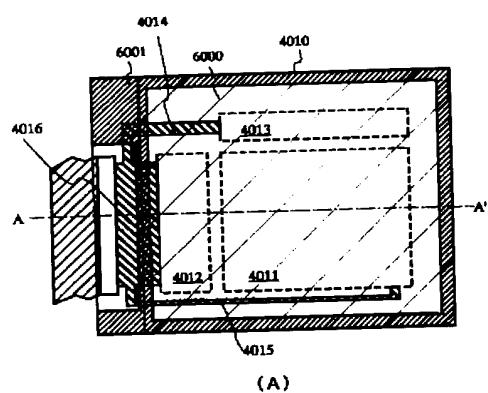
【图27】



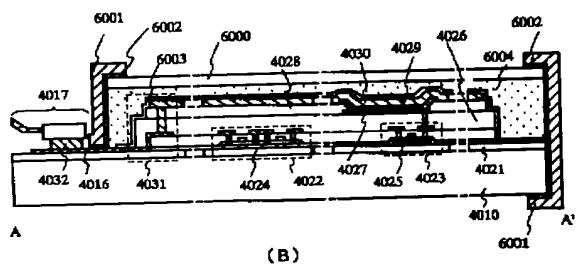
【図29】



【図28】

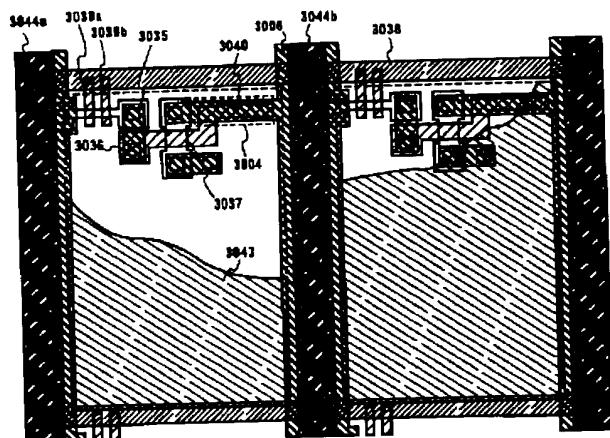


(A)

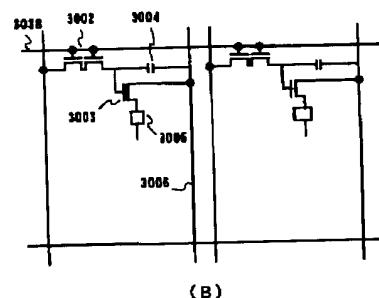


(B)

【図30】

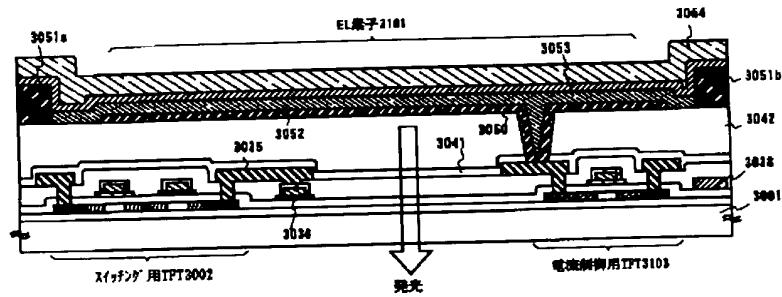


(A)

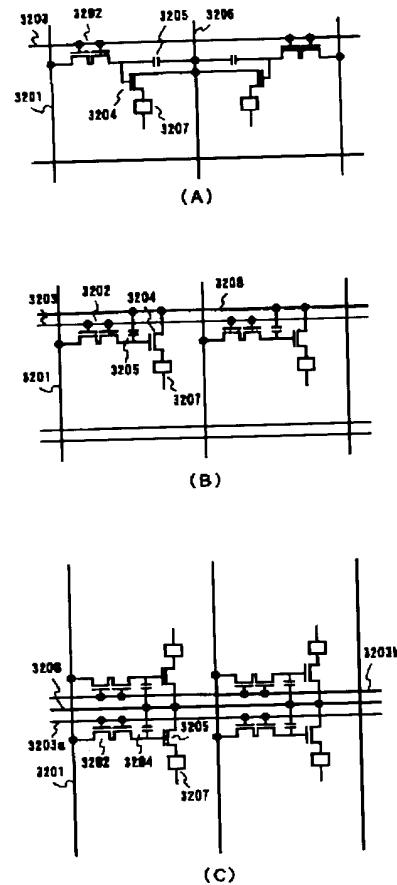


(B)

【図31】



【図32】



フロントページの続き

(51) Int. Cl. 7
H 01 L 27/092
27/08
29/43

識別記号
3 3 1

F I
H 01 L 29/62
29/78

テ-マコ-ト' (参考)
G
6 1 3 A
6 1 7 L